

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-257990

(43)Date of publication of application : 12.09.2003

(51)Int.Cl.

H01L 21/336
G02F 1/1368
H01L 29/786

(21)Application number : 2002-057513

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 04.03.2002

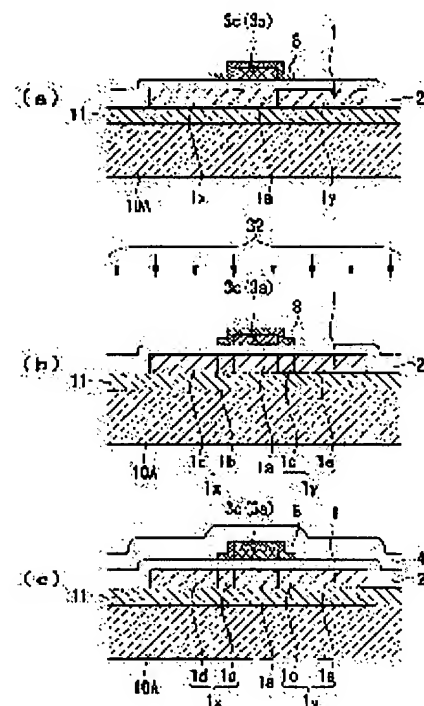
(72)Inventor : SERA HIROSHI
KINOSHITA YASUAKI

(54) METHOD FOR MANUFACTURING THIN FILM SEMICONDUCTOR DEVICE, THIN FILM SEMICONDUCTOR DEVICE, METHOD FOR MANUFACTURING ELECTROOPTICAL DEVICE, ELECTROOPTICAL DEVICE AND ELECTRONIC EQUIPMENT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a method for manufacturing a thin film semiconductor device for precisely controlling an LDD length regardless of the shape or LDD length of a gate electrode.

SOLUTION: At first, a semiconductor film 1 of a prescribed pattern, a gate insulating film 2, and a gate electrode 3c having shading performance are successively formed on a translucent substrate 10A. Impurity whose density is low is injected to a semiconductor film 1 with the gate electrode 3c as a mask. Then, an insulating film is formed on the translucent substrate 10A on which the gate electrode 3c is formed, and a positive photo-resist is applied. The photo-resist is exposed from the back side of the translucent substrate 10A, and the development of the photo-resist and the etching of an insulating film are successively performed so that an insulating film 8 of a prescribed pattern wider than the gate electrode 3c and narrower than the semiconductor film 1 can be formed. Then, impurity whose density is high is injected into the semiconductor film 1 with the insulating film 8 as a mask.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS**[Claim(s)]**

[Claim 1] While providing the gate electrode which countered through the semi-conductor film which has a source field, a channel field, and a drain field, and this semi-conductor film and gate dielectric film In the manufacture approach of thin film semiconductor equipment that the low low concentration field was respectively formed in said source field and said drain field for high impurity concentration relatively [field / high / high concentration] relatively The process which forms the semi-conductor film of a predetermined pattern on a translucency substrate, and the process which forms gate dielectric film on said semi-conductor film, The process which forms the gate electrode which has protection-from-light nature on said gate dielectric film, The process which pours a low-concentration impurity into said semi-conductor film by using said gate electrode as a mask, The process which forms an insulator layer on said translucency substrate in which said gate electrode was formed, After exposing said photoresist from the process [which applies the photoresist of a positive type on said insulator layer], and rear-face side of said translucency substrate, The process which performs development of this photoresist, and etching of said insulator layer one by one, and forms said insulator layer in a pattern [broader than said gate electrode and] more nearly predetermined [narrow] than said semi-conductor film, The manufacture approach of the thin film semiconductor equipment characterized by having the process which pours a high-concentration impurity into said semi-conductor film by using as a mask said insulator layer formed in the predetermined pattern.

[Claim 2] The manufacture approach of the thin film semiconductor equipment according to claim 1 characterized by performing anisotropic etching to said insulator layer while performing exposure of said photoresist, and development so that it may remain by the pattern more nearly predetermined [narrow] than said semi-conductor film with said photoresist broader than said gate electrode and after development in the process which forms said insulator layer in a predetermined pattern.

[Claim 3] The manufacture approach of the thin film semiconductor equipment according to claim 1 characterized by performing isotropic etching to said insulator layer while performing exposure of said photoresist, and development in the process which forms said insulator layer in a predetermined pattern so that said photoresist may remain by the narrow predetermined pattern after development from the same width of face as said gate electrode, or said gate electrode.

[Claim 4] The manufacture approach of thin film semiconductor equipment given in any 1 term from claim 1 characterized by said gate electrode being a taper-like to claim 3.

[Claim 5] While being thin film semiconductor equipment manufactured by the manufacture approach of thin film semiconductor equipment given in any 1 term from claim 1 to claim 4 and forming said insulator layer along the top face and side face of said gate electrode at least Thin film semiconductor equipment characterized by forming said low concentration field in said source field and said drain field of said semi-conductor film respectively corresponding to the part formed more broadly than said gate electrode of said insulator layer.

[Claim 6] While providing the gate electrode which countered through the semi-conductor film which has a source field, a channel field, and a drain field, and this semi-conductor film and gate dielectric film In the manufacture approach of an electro-optic device that high impurity concentration equipped said source field and said drain field with the thin film semiconductor equipment with which the low low concentration field was formed relatively [field / high / high concentration] relatively respectively The process which forms the semi-conductor film of a predetermined pattern on a translucency substrate, and the process which forms gate dielectric film on said semi-conductor film, The process which forms the gate electrode which has protection-from-light nature on said gate dielectric film, The process which pours a low-concentration impurity into said semi-conductor film by using said gate electrode as a mask, The process which forms an insulator layer on said translucency substrate in which said gate electrode was formed, After exposing said photoresist from the process [which applies the photoresist of a positive type on said insulator layer], and rear-face side

of said translucency substrate, The process which performs development of this photoresist, and etching of said insulator layer one by one, and forms said insulator layer in a pattern [broader than said gate electrode and] more nearly predetermined [narrow] than said semi-conductor film, The manufacture approach of the electro-optic device characterized by having the process which pours a high-concentration impurity into said semi-conductor film by using as a mask said insulator layer formed in the predetermined pattern.

[Claim 7] The electro-optic device which is an electro-optic device manufactured by the manufacture approach of an electro-optic device according to claim 6, and is characterized by forming said low concentration field in said source field and said drain field of said semi-conductor film respectively corresponding to the part formed more broadly than said gate electrode of said insulator layer while said insulator layer is formed along the top face and side face of said gate electrode at least.

[Claim 8] Electronic equipment characterized by having an electro-optic device according to claim 7.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to electronic equipment at the manufacture approach of the manufacture approach of thin film semiconductor equipment, thin film semiconductor equipment, and an electro-optic device, an electro-optic device, and a list, and relates to the technique of manufacturing the thin film semiconductor equipment of LDD (Lightly Doped Drain) structure especially.

[0002]

[Description of the Prior Art] Since the dot of a large number arranged in the shape of a matrix is driven for every dot as electro-optic devices, such as liquid crystal equipment, electroluminescence (EL) equipment, and a plasma display, the electro-optic device of the active-matrix mold which prepared TFT which is thin film semiconductor equipment in each dot is known. Moreover, although TFT of the LDD structure where the low low concentration field (LDD field) was respectively formed in the source field and the drain field for high impurity concentration relatively [field / high / high concentration] relatively is known as TFT used for this application, in TFT of LDD structure, it is important to control LDD length (formation width of face of a low concentration field) with a sufficient precision.

[0003] Here, the technique which controls LDD length is known for the technical field of semiconductor devices, such as IC, by forming a sidewall in a gate electrode. Hereafter, this technique is briefly explained by making into an example the case where an n channel MOS transistor is manufactured.

[0004] First, as shown in drawing 12 (a), after forming the p well 210 in a silicon wafer 200, sequential formation of the gate electrode 202 which consists of the predetermined gate dielectric film 201 and the predetermined metal of a pattern is carried out. Next, low-concentration n mold impurity ion 300 is poured in by using the gate electrode 202 as a mask, and the low-concentration source field 203 and the low-concentration drain field 204 are formed. Next, as shown in drawing 12 (b), after forming an insulator layer 205 all over a silicon wafer 200, as shown in drawing 12 (c), with etchback, it leaves an insulator layer 205 only to the side face of gate dielectric film 201 and the gate electrode 202, and sidewall 205a is formed in gate dielectric film 201 and the gate electrode 202. The high concentration fields 203b and 204b can be formed in the last, leaving the low concentration fields 203a and 204a to the part located directly under sidewall 205a in the source field 203 and the drain field 204 by pouring in high-concentration n mold impurity ion 301 by using the gate electrode 202 and sidewall 205a as a mask, as shown in drawing 12 (d).

[0005] According to the above approach, to gate dielectric film 201 and the gate electrode 202 Sidewall 205a of equal width of face can be formed. the thickness of the insulator layer 205 formed all over the silicon wafer 200 -- abbreviation -- Since abbreviation etc. can be in the formation width of face of this sidewall 205a by carrying out and the low concentration fields (LDD field) 203a and 204a can be formed, LDD length can be controlled by thickness of the insulator layer 205 to form, and LDD length can be controlled with a sufficient precision.

[0006]

[Problem(s) to be Solved by the Invention] However, as explained in full detail below, it is very difficult to apply the above-mentioned technique in the technical field of semiconductor devices, such as IC, to the technical field of an electro-optic device, and the present condition is having not resulted in utilization.

[0007] In semiconductor devices, such as IC, since the side face of a gate electrode is an abbreviation perpendicular to the front face of gate dielectric film, with etchback, it can leave an insulator layer to the side face of a gate electrode, and a sidewall can be formed in it. As opposed to what should just form the transistor whose LDD length the thickness of a gate electrode is about 0.3 micrometers, and is about 0.2 micrometers by semiconductor devices, such as IC, here in an electro-optic device Since the thickness of a gate electrode needs to form TFT with about 1.0 micrometers and a scale large [about 0.3-0.8 micrometers and LDD length], processing the side face of a gate electrode into an abbreviation

perpendicular configuration itself -- since the interlayer insulation film formed behind becomes that it is hard to be formed in the side face of a gate electrode even if it is difficult and is able to process the side face of a gate electrode into an abbreviation perpendicular configuration, there is a possibility that wiring of the data line, a source line, etc. may be disconnected. So, in the electro-optic device, generally, a gate electrode is made into the shape of a taper, and the taper angle has become about 30-70 degrees.

[0008] And since all insulator layers are etched and it does not remain in this way even if it forms an insulator layer the whole surface on the substrate in which the gate electrode was formed and covers etchback when a taper-like gate electrode is formed, a sidewall cannot be formed. Moreover, by the Prior art in semiconductor devices, such as IC, even if the side face of a gate electrode is processible into an abbreviation perpendicular configuration, since [by which the thickness of the insulator layer to form spreads abbreviation etc. on LDD length] it becomes, in order to realize about 1-micrometer LDD length, it is necessary to form the insulator layer of about 1-micrometer thickness. However, it is very difficult to form about 1 micrometer and a thick insulator layer to homogeneity, or to etch an insulator layer thick such with a sufficient precision, and it very difficult to form the sidewall of a desired configuration with a sufficient precision.

[0009] Then, this invention is made in view of this situation, and it aims at offering the means which can control LDD length with a sufficient precision irrespective of the side-face configuration and LDD length of a gate electrode.

[0010]

[Means for Solving the Problem] While the manufacture approach of the thin film semiconductor equipment of this invention possesses the gate electrode which countered through the semi-conductor film which has a source field, a channel field, and a drain field, and this semi-conductor film and gate dielectric film In the manufacture approach of thin film semiconductor equipment that the low low concentration field was respectively formed in said source field and said drain field for high impurity concentration relatively [field / high / high concentration] relatively The process which forms the semi-conductor film of a predetermined pattern on a translucency substrate, and the process which forms gate dielectric film on said semi-conductor film, The process which forms the gate electrode which has protection-from-light nature on said gate dielectric film, The process which pours a low-concentration impurity into said semi-conductor film by using said gate electrode as a mask, The process which forms an insulator layer on said translucency substrate in which said gate electrode was formed, After exposing said photoresist from the process [which applies the photoresist of a positive type on said insulator layer], and rear-face side of said translucency substrate, The process which performs development of this photoresist, and etching of said insulator layer one by one, and forms said insulator layer in a pattern [broader than said gate electrode and] more nearly predetermined [narrow] than said semi-conductor film, It is characterized by having the process which pours a high-concentration impurity into said semi-conductor film by using as a mask said insulator layer formed in the predetermined pattern.

[0011] That is, by the manufacture approach of the thin film semiconductor equipment of this invention, after forming (1) gate electrode, it is considering as the configuration which forms a low-concentration source field and a low-concentration drain field in the semi-conductor film by pouring a low-concentration impurity into the semi-conductor film by using this gate electrode as a mask. (2) -- after forming a low-concentration source field and a low-concentration drain field in the semi-conductor film in this way, it is considering as the configuration which forms a photoresist in a predetermined pattern by forming an insulator layer on the translucency substrate in which the gate electrode was formed, applying the photoresist of a positive type on it further, and performing exposure of this photoresist, and development. [moreover,] Moreover, the insulator layer is considered as the configuration which forms in a pattern [broader than a gate electrode and] more nearly predetermined [narrow] than the semi-conductor film by etching an insulator layer by using as a mask the photoresist formed in the (3) predetermined pattern. And it is characterized by forming a high concentration field in the part which is not located directly under an insulator layer, leaving a low concentration field to the part respectively located directly under an insulator layer in a source field and a drain field by pouring a high-concentration impurity into the semi-conductor film by using as a mask the insulator layer formed in the (4) predetermined pattern.

[0012] thus, by the manufacture approach of the thin film semiconductor equipment of this invention After forming a low-concentration source field and a low-concentration drain field in the semi-conductor film, on the translucency substrate in which the gate electrode was formed, form the insulator layer of a pattern more nearly predetermined [narrow] than the semi-conductor film broader than a gate electrode, and this insulator layer is used as a mask. Since the configuration which pours a high-concentration impurity into the semi-conductor film is adopted, in a source field and a drain field, the die length of the part formed respectively more broadly than the gate electrode of the insulator layer formed in the predetermined pattern is equivalent to LDD length, and can control LDD length with a sufficient precision.

[0013] Moreover, although considered as the configuration which controls patterning of an insulator layer by the manufacture approach of the thin film semiconductor equipment of this invention by forming the photoresist of a predetermined pattern on an insulator layer, and etching an insulator layer by using this photoresist as a mask (5) Since the rear-face exposure which exposes a photoresist from the rear-face side (a gate electrode and opposite side) of a translucency substrate by using a gate electrode as a mask is adopted in case patterning of the photoresist formed on the insulator layer is carried out Exposure conditions will be prescribed to the same, then the exposure field of a photoresist by only the configuration of the inferior surface of tongue (field by the side of the semi-conductor film) of a gate electrode. Thus, since according to the manufacture approach of the thin film semiconductor equipment of this invention the exposure field of a photoresist can be controlled and patterning of a photoresist and an insulator layer can be controlled with a sufficient precision regardless of the side-face configurations (taper angle of a gate electrode etc.) of a gate electrode, LDD length is controllable with a sufficient precision irrespective of the side-face configuration of a gate electrode.

[0014] Moreover, by controlling the thickness of an insulator layer, the exposure conditions of the photoresist formed on an insulator layer, development conditions, the etching conditions of an insulator layer, etc., patterning of an insulator layer can be controlled by the manufacture approach of the thin film semiconductor equipment of this invention, and LDD length can be controlled by it by this. namely, by the manufacture approach of the thin film semiconductor equipment of this invention Since LDD length is controllable by two or more conditions, such as thickness of an insulator layer, exposure conditions of the photoresist formed on an insulator layer, development conditions, and etching conditions of an insulator layer LDD length can be controlled only by thickness of an insulator layer, and, unlike the thickness of an insulator layer, and the Prior art in semiconductor devices, such as becoming IC which spreads abbreviation etc., LDD length can realize the LDD length more than the thickness of an insulator layer. Even if it follows, for example, sets up LDD length for a long time with about 1 micrometer, simple about 1 micrometer and long LDD length with a sufficient precision can be realized that what is necessary is just to set up the thickness of an insulator layer thinly with about 0.2-0.5 micrometers, without passing through a complicated process, since membrane formation and etching of an insulator layer become easy. Thus, according to the manufacture approach of the thin film semiconductor equipment of this invention, LDD length is controllable with a sufficient precision irrespective of LDD length.

[0015] Although it said that LDD length is controlled by the manufacture approach of the thin film semiconductor equipment of this invention by forming an insulator layer in a pattern [broader than a gate electrode and] more nearly predetermined [narrow] than the semi-conductor film In order to form the insulator layer of a pattern more nearly predetermined [narrow] than the semi-conductor film broader than a gate electrode, an insulator layer For example, in the process which forms said insulator layer in a predetermined pattern, after development, so that it may remain by the pattern more nearly predetermined [narrow] than said semi-conductor film with said photoresist broader than said gate electrode and What is necessary is just to perform anisotropic etching to said insulator layer, while performing exposure of said photoresist, and development.

[0016] Moreover, in the process which forms said insulator layer in a predetermined pattern, while performing exposure of said photoresist, and development so that said photoresist may remain by the narrow predetermined pattern after development from the same width of face as said gate electrode, or said gate electrode, the insulator layer of a pattern more nearly predetermined [narrow] than the semi-conductor film broader than a gate electrode can be formed for an insulator layer also by performing isotropic etching to said insulator layer.

[0017] The manufacture approach of the thin film semiconductor equipment of the above this invention is especially effective to the thin film semiconductor equipment which cannot form a sidewall and cannot control LDD length by the Prior art which adopted etchback and which has a taper-like gate electrode. In addition, in this specification, "width of face" of a photoresist or an insulator layer shall mean LDD length lay length.

[0018] The thin film semiconductor equipment of this invention is thin film semiconductor equipment manufactured by the manufacture approach of the thin film semiconductor equipment of the above this invention, and it is characterized by to form said low concentration field in said source field and said drain field of said semi-conductor film respectively corresponding to the part formed more broadly than said gate electrode of said insulator layer while said insulator layer is formed along the top face and side face of said gate electrode at least. Since the thin film semiconductor equipment of this invention is manufactured by the manufacture approach of the thin film semiconductor equipment of this invention, irrespective of the side-face configuration and LDD length of a gate electrode, it can control LDD length with a sufficient precision, and becomes the thing excellent in engine performance, such as pressure resistance and the current-voltage characteristic.

[0019] Moreover, the manufacture approach of the thin film semiconductor equipment of this invention is especially

effective to an electro-optic device with the need of forming big-scale thin film semiconductor equipment as compared with semiconductor devices, such as IC. While the manufacture approach of the electro-optic device of this invention possesses the gate electrode which countered through the semi-conductor film which has a source field, a channel field, and a drain field, and this semi-conductor film and gate dielectric film In the manufacture approach of an electro-optic device that high impurity concentration equipped said source field and said drain field with the thin film semiconductor equipment with which the low low concentration field was formed relatively [field / high / high concentration] relatively respectively The process which forms the semi-conductor film of a predetermined pattern on a translucency substrate, and the process which forms gate dielectric film on said semi-conductor film, The process which forms the gate electrode which has protection-from-light nature on said gate dielectric film, The process which pours a low-concentration impurity into said semi-conductor film by using said gate electrode as a mask, The process which forms an insulator layer on said translucency substrate in which said gate electrode was formed, After exposing said photoresist from the process [which applies the photoresist of a positive type on said insulator layer], and rear-face side of said translucency substrate, The process which performs development of this photoresist, and etching of said insulator layer one by one, and forms said insulator layer in a pattern [broader than said gate electrode and] more nearly predetermined [narrow] than said semi-conductor film, It is characterized by having the process which pours a high-concentration impurity into said semi-conductor film by using as a mask said insulator layer formed in the predetermined pattern.

[0020] Since the manufacture approach of the electro-optic device of this invention applies the manufacture approach of the thin film semiconductor equipment of above-mentioned this invention to an electro-optic device, in case it manufactures thin film semiconductor equipment, according to the manufacture approach of the electro-optic device of this invention, it can control LDD length with a sufficient precision irrespective of the side-face configuration and LDD length of a gate electrode.

[0021] The electro-optic device of this invention is an electro-optic device manufactured by the manufacture approach of the electro-optic device of this invention, and it is characterized by forming said low concentration field in said source field and said drain field of said semi-conductor film respectively corresponding to the part formed more broadly than said gate electrode of said insulator layer while said insulator layer is formed along the top face and side face of said gate electrode at least. Since the electro-optic device of this invention is manufactured by the manufacture approach of the electro-optic device of this invention, irrespective of the side-face configuration and LDD length of a gate electrode, it can control LDD length with a sufficient precision, and becomes the thing equipped with thin film semiconductor equipment excellent in the engine performance. Moreover, electronic equipment excellent in the engine performance can be offered by having the electro-optic device of this invention.

[0022]

[Embodiment of the Invention] Next, the operation gestalt concerning this invention is explained to a detail.

(Structure of an electro-optic device) Based on drawing 1 - drawing 3 , the structure of the electro-optic device of the operation gestalt concerning this invention is explained. This operation gestalt explains as an example the transparency mold liquid crystal equipment of the active-matrix mold which used TFT (thin film semiconductor equipment) as a switching element. Representative circuit schematics, such as a switching element in two or more dots arranged in the shape of [from which drawing 1 constitutes the image display field of the liquid crystal equipment of this operation gestalt] a matrix, and a signal line, the top view which drawing 2 expands 1 dot of the TFT array substrate with which the data line, the scanning line, a pixel electrode, etc. were formed, and is shown, and drawing 3 are the sectional views showing the structure of the liquid crystal equipment of this operation gestalt, and it is the A-A' line sectional view of drawing 2 . In addition, in drawing 3 , it is illustrating about the case where the illustration bottom is an optical incidence side and the illustration bottom is a check-by-looking side (observer side). Moreover, in each drawing, in order to make each class and each part material into the magnitude of extent which can be recognized on a drawing, the scale is changed for each class or every each part material.

[0023] In the liquid crystal equipment of this operation gestalt, as shown in drawing 1 , TFT (thin film semiconductor equipment)30 which is a switching element for controlling the pixel electrode 9 and the pixel electrode 9 concerned is formed in two or more dots arranged in the shape of [which constitutes an image display field] a matrix, respectively, and data-line 6a to which a picture signal is supplied is electrically connected to the source concerned of TFT30. The picture signals S1, S2, --, Sn written in data-line 6a are supplied for every group to two or more data-line 6a which is supplied to this order line sequential, or adjoins each other.

[0024] Moreover, scanning-line 3a is electrically connected to the gate of TFT30, and the scan signals G1, G2, --, Gm are impressed by line sequential in pulse to predetermined timing to two or more scanning-line 3a. Moreover, it connects with the drain of TFT30 electrically, and the pixel electrode 9 writes in the picture signals S1, S2, --, Sn

supplied from data-line 6a to predetermined timing, when only a fixed period turns on TFT30 which is a switching element.

[0025] Fixed period maintenance of the picture signals S1, S2, --, Sn of the predetermined level written in liquid crystal through the pixel electrode 9 is carried out between the common electrodes mentioned later. When the orientation and order of molecular association change with the voltage levels impressed, liquid crystal modulates light and enables a gradation display. Here, in order to prevent that the held picture signal leaks, storage capacitance 60 is added to the liquid crystal capacity and juxtaposition which are formed between the pixel electrode 9 and a common electrode.

[0026] As shown in drawing 3, the liquid crystal layer 50 is pinched, opposite arrangement is carried out, the liquid crystal equipment of this operation gestalt possesses the TFT array substrate 10 with which TFT30 and the pixel electrode 9 were formed, and the opposite substrate 20 with which the common electrode 21 was formed, and the outline configuration is carried out.

[0027] Hereafter, based on drawing 2, the planar structure of the TFT array substrate 10 is explained. The rectangle-like pixel electrode 9 is formed in the TFT array substrate 10 plurality and in the shape of a matrix, and as shown in drawing 2, data-line 6a, scanning-line 3a, and capacity line 3b are prepared in it along the boundary of each pixel electrode 9 in every direction. In this operation gestalt, the field in which data-line 6a arranged so that each pixel electrode 9 and each pixel electrode 9 might be surrounded, scanning-line 3a, etc. were formed is 1 dot.

[0028] Data-line 6a is electrically connected to source field 1x through the contact hole 13 among the polycrystal semi-conductor film 1 which constitutes TFT30, and the pixel electrode 9 is electrically connected to drain field 1y through a contact hole 15, source line 6b, and a contact hole 14 among the polycrystal semi-conductor film 1. Moreover, a part of scanning-line 3a is widened so that channel field 1a may be countered among the polycrystal semi-conductor film 1, and the part to which scanning-line 3a was widened functions as a gate electrode. Hereafter, in scanning-line 3a, the part which functions as a gate electrode is only called a "gate electrode", and sign 3c shows it. Moreover, the polycrystal semi-conductor film 1 which constitutes TFT30 is installed by even capacity line 3b and the part which counters, and the storage capacitance (are recording capacitive element) 60 which uses bottom electrode and capacity line 3b as an upper electrode for 1f of this installation part is formed.

[0029] Next, based on drawing 3, the cross-section structure of the liquid crystal equipment of this operation gestalt is explained. The TFT array substrate 10 is constituted considering the pixel electrode 9 formed in substrate body (translucency substrate) 10A which consists of translucency ingredients, such as glass, and the liquid crystal layer 50 side front face, TFT30, and the orientation film 12 as a subject, and the opposite substrate 20 is constituted considering substrate body 20A which consists of translucency ingredients, such as glass, the common electrode 21 formed in the liquid crystal layer 50 side front face, and the orientation film 22 as a subject.

[0030] In the TFT array substrate 10, the substrate protective coat (buffer film) 11 which becomes right above [of substrate body 10A] from silicon oxide etc. is formed in the detail. Moreover, the pixel electrode 9 which consists of transparent conductive thin films, such as an indium stannic acid ghost (ITO), is formed in the liquid crystal layer 50 side front face of substrate body 10A, and TFT30 for pixel switching which carries out switching control of each pixel electrode 9 is formed in the location contiguous to each pixel electrode 9. In addition, although the pixel electrode 9 consists of transparent conductive thin films, such as ITO, with this operation gestalt since transparency mold liquid crystal equipment was made into the example, the pixel electrode 9 consists of metal thin films, such as aluminum, with high-reflective-liquid-crystal equipment, and it consists of a laminated structure of transparent conductive thin films, such as ITO, and metal thin films, such as aluminum, with reflective transreflective type liquid crystal equipment.

[0031] On the substrate protective coat 11, the polycrystal semi-conductor film 1 which consists of polycrystalline silicon is formed by the predetermined pattern, the gate dielectric film 2 which consists of silicon oxide etc. is formed on this polycrystal semi-conductor film 1, and scanning-line 3a (gate electrode 3c) is formed on this gate dielectric film 2. With this operation gestalt, the side face of gate electrode 3c serves as an abbreviation perpendicular to the front face of gate dielectric film 2. Moreover, gate electrode 3c and the field which counters are channel field 1a in which a channel is formed of the electric field from gate electrode 3c through gate dielectric film 2 among the polycrystal semi-conductor film 1. Moreover, in the polycrystal semi-conductor film 1, source field 1x are formed in the one side (illustration left-hand side) of channel field 1a, and drain field 1y is formed in the other side (illustration right-hand side). And TFT30 for pixel switching is constituted by source field 1x of gate electrode 3c, gate dielectric film 2, data-line 6a mentioned later, source line 6b, and the polycrystal semi-conductor film 1, channel field 1a, drain field 1y, etc.

[0032] In this operation gestalt, TFT30 for pixel switching is what has LDD structure, and the low low concentration field (LDD field (a low concentration source field, low concentration drain field)) is respectively formed in source field 1x and drain field 1y for high impurity concentration relatively with the high high concentration field (a high concentration source field, high concentration drain field). Hereafter, a high concentration source field and a low

concentration source field are expressed with Signs 1d and 1b, and a high concentration drain field and a low concentration drain field are respectively expressed with Signs 1e and 1c.

[0033] moreover, on the gate dielectric film 2 in which gate electrode 3c was formed The top face (field of gate dielectric film and the opposite side) and side face of gate electrode 3c are met at least. The insulator layer 8 broader than gate electrode 3c is formed, and the low concentration fields (LDD field) 1b and 1c are respectively formed in source field 1x and drain field 1y corresponding to the part formed more broadly than gate electrode 3c of an insulator layer 8. Although an insulator layer 8 consists of a silicon nitride, silicon oxide, etc., being constituted with a different insulating ingredient is [gate dielectric film 2] desirable.

[0034] Moreover, on substrate body 10A in which scanning-line 3a (gate electrode 3c) was formed, the 1st interlayer insulation film 4 which consists of silicon oxide etc. is formed, and data-line 6a and source line 6b are formed on this 1st interlayer insulation film 4. Data-line 6a is electrically connected to 1d of high concentration source fields of the polycrystal semi-conductor film 1 through the contact hole 13 formed in the 1st interlayer insulation film 4, and source line 6b is electrically connected to high concentration drain field 1e of the polycrystal semi-conductor film 1 through the contact hole 14 formed in the 1st interlayer insulation film 4.

[0035] Moreover, on the 1st interlayer insulation film 4 with which data-line 6a and source line 6b were formed, the 2nd interlayer insulation film 5 which consists of a silicon nitride etc. is formed, and the pixel electrode 9 is formed on the 2nd interlayer insulation film 5. The pixel electrode 9 is electrically connected to source line 6b through the contact hole 15 formed in the 2nd interlayer insulation film 5. Moreover, opposite arrangement of scanning-line 3a and the capacity line 3b formed in this layer is carried out as an upper electrode through gate dielectric film 2 and the really formed insulator layer (dielectric film) to 1f (bottom electrode) of installation parts from high concentration drain field 1e of the polycrystal semi-conductor film 1, and storage capacitance 60 is formed of 1f of these installation parts, and capacity line 3b. Moreover, the orientation film 12 for controlling the array of the liquid crystal molecule in the liquid crystal layer 50 is formed in the liquid crystal layer 50 side [of the TFT array substrate 10] maximum front face.

[0036] On the other hand, in the opposite substrate 20, the light-shielding film 23 for preventing that the light which carried out incidence to liquid crystal equipment carries out incidence to channel field 1a of the polycrystal semi-conductor film 1 and the low concentration fields 1b and 1c at least is formed in the liquid crystal layer 50 side front face of substrate body 20A. Moreover, on substrate body 20A in which the light-shielding film 23 was formed, it crosses to the whole surface mostly, the common electrode 21 which consists of ITO etc. is formed, and the orientation film 22 for controlling the array of the liquid crystal molecule in the liquid crystal layer 50 is formed at the liquid crystal layer 50 side.

[0037] The liquid crystal equipment of this operation gestalt is constituted as mentioned above, and has become what has the characteristic point that the insulator layer 8 of a predetermined pattern is formed along the top face and side face of gate electrode 3c in TFT30 with this operation gestalt at least.

[0038] (The manufacture approach of thin film semiconductor equipment) Next, based on drawing 4 - drawing 8 , the manufacture approach of TFT (thin film semiconductor equipment)30 with which the liquid crystal equipment of this operation gestalt was equipped is explained. In addition, the case where TFT of an n channel mold is manufactured is explained as an example. Each of drawing 4 - drawing 8 is the outline sectional views showing the manufacture approach of TFT of this operation gestalt in order of a process.

[0039] As shown in drawing 4 (a), after first preparing translucency substrates, such as a glass substrate defecated by ultrasonic cleaning etc., as substrate body 10A, the substrate protective coat (buffer film) 11 which consists of silicon oxide etc. is formed in thickness of 100-500nm by a plasma-CVD method etc. all over substrate body 10A under the conditions from which substrate temperature becomes 150-450 degrees C. As material gas used in this process, the mixed gas of a mono silane and a dinitrogen oxide, TEOS (a tetra-ethoxy silane, $\text{Si}_4(\text{OC}_2\text{H}_5)_4$), oxygen and a disilane, ammonia, etc. are suitable.

[0040] Next, as shown in drawing 4 (b), the amorphous semiconductor film 101 which consists of amorphous silicon is formed in thickness of 30-100nm by a plasma-CVD method etc. all over substrate body 10A in which the substrate protective coat 11 was formed, under the conditions from which substrate temperature becomes 150-450 degrees C. As material gas used in this process, a disilane and a mono silane are suitable. Next, as shown in drawing 4 (c), to the amorphous semiconductor film 101, laser annealing is given, the amorphous semiconductor film 101 is polycrystal-ized, after forming the polycrystal semi-conductor film which consists of polycrystalline silicon, patterning of this polycrystal semi-conductor film is carried out by the photolithography method, and the island-like polycrystal semi-conductor film 1 is formed.

[0041] Next, as shown in drawing 5 (a), the gate dielectric film 2 which consists of silicon oxide, a silicon nitride, etc. under temperature conditions 350 degrees C or less on substrate body 10A in which the polycrystal semi-conductor film

1 was formed is formed in thickness of 30-150nm. As material gas used in this process, the mixed gas of TEOS and oxygen gas etc. is suitable. Next, as shown in drawing 5 (b), after forming the electric conduction film which has the protection-from-light nature which consists of alloys which use these either as a principal component, such as aluminum, a tantalum, and molybdenum, by the sputtering method etc. all over substrate body 10A in which gate dielectric film 2 was formed, patterning is carried out by the photolithography method and scanning-line 3a (gate electrode 3c) with a thickness of 100-800nm is formed.

[0042] Next, as shown in drawing 5 (c), the impurity ion (phosphorus ion) 31 low-concentration with the dose of about 0.1×10^{13} - about 10×10^{13} /cm² is poured in by using gate electrode 3c as a mask, and low-concentration source field 1x and drain field 1y is formed in self align to gate electrode 3c. At this time, it is located directly under gate electrode 3c, and the part into which impurity ion was not introduced is set to channel field 1a.

[0043] Next, as shown in drawing 6 (a), the insulator layer 108 which consists of a silicon nitride, silicon oxide, etc. is formed in thickness of 200-500nm with a CVD method etc. the whole surface on substrate body 10A in which gate electrode 3c was formed. As for gate dielectric film 2, in this process, it is desirable to form the insulator layer 108 which consists of a different insulating ingredient. Next, as shown in drawing 6 (b), after applying the photoresist 109 of a positive type on an insulator layer 108, gate electrode 3c is used as a mask. After irradiating Light L from the rear-face side (a gate electrode and opposite side) of substrate body 10A and exposing a photoresist 109, as shown in drawing 6 (c) A photoresist 109 is formed in a pattern [broader than gate electrode 3c and] more nearly predetermined [narrow] than the polycrystal semi-conductor film 1 by developing a photoresist 109.

[0044] In addition, it can be made to remain by controlling exposure conditions (light exposure etc.) and development conditions (developing time, the development approach, etc.), after developing the photoresist 109 broader than gate electrode 3c operated as a mask at the time of exposure. For example, what is necessary is just to perform exposure and development so that it may become undershirt exposure or exaggerated development. Here, light exposure is lowered and it is just called "undershirt exposure" from exposure to expose the narrow range exposed by the same width of face as gate electrode 3c operated as a mask. Moreover, "exaggerated development" lengthens developing time and means the development which makes the photoresist of the range just narrower than development which makes the photoresist of the same width of face as an exposure field remain remain.

[0045] As shown in drawing 7 (a), after performing anisotropic etching, such as dry etching, to an insulator layer 108 by using as a mask the photoresist 109 formed in the predetermined pattern, a photoresist 109 next, by exfoliating the insulator layer 8 of the predetermined pattern shown in drawing 3 -- that is, it is formed along the top face and side face of gate electrode 3c at least, and the insulator layer 8 of a pattern more nearly predetermined [narrow] than the polycrystal semi-conductor film 1 broader than gate electrode 3c can be formed. In addition, when anisotropic etching is performed, the insulator layer 8 of the photoresist 109 formed in the predetermined pattern and abbreviation same width of face can be formed so that it may illustrate. Moreover, since the terminal point of etching of an insulator layer 8 becomes clear and there is no possibility of carrying out over etching when a different ingredient from gate dielectric film 2 constitutes an insulator layer 8, it is suitable.

[0046] Next, as shown in drawing 7 (b), the high-concentration impurity ion (phosphorus ion) 32 is poured in to the polycrystal semi-conductor film 1 with the dose of about 0.1×10^{15} - about 10×10^{15} /cm² by using as a mask the insulator layer 8 formed in the predetermined pattern. The high concentration fields 1d and 1e can be formed leaving the low concentration fields 1b and 1c to the part respectively located directly under an insulator layer 8 in source field 1x and drain field 1y by this. That is, in source field 1x and drain field 1y, the low concentration fields (LDD field) 1b and 1c which abbreviation's are in the die length of the part formed respectively more broadly than gate electrode 3c of the insulator layer 8 formed in the predetermined pattern by carrying out, and have LDD length can be formed in self align.

[0047] Next, as shown in drawing 7 (c), the 1st interlayer insulation film 4 which consists of silicon oxide etc. is formed in thickness of 300-800nm with a CVD method etc. the whole surface on substrate body 10A in which the insulator layer 8 was formed. As material gas used in this process, the mixed gas of TEOS and oxygen gas etc. is suitable. Next, the impurity poured into source field 1x (1d [of high concentration source fields], low concentration source field 1b) and drain field 1y (high concentration drain field 1e, low concentration drain field 1c) is activated by performing annealing by laser annealing, furnace annealing, etc.

[0048] Next, as shown in drawing 8 (a), after forming the photoresist (illustration abbreviation) of a predetermined pattern, dry etching of the 1st interlayer insulation film 4 is performed by using this resist as a mask, and contact holes 13 and 14 are formed in the part corresponding to 1d of high concentration source fields, and high concentration drain field 1e in the 1st interlayer insulation film 4, respectively. As shown in drawing 8 (b), after forming the metal membrane which consists of alloys which use these either as a principal component, such as aluminum, titanium, titanium nitride, a tantalum, and molybdenum, all over the 1st interlayer insulation film 4 by the sputtering method etc.

finally, patterning can be carried out by the photolithography method, data-line 6a with a thickness of 400-800nm and source line 6b can be formed, and TFT30 of an n channel mold can be manufactured.

[0049] In addition, in case the insulator layer 8 of a pattern more nearly predetermined [narrow] than the polycrystal semi-conductor film 1 broader than gate electrode 3c is formed After development, while performing exposure of a photoresist 109, and development so that it may remain by the pattern more nearly predetermined [narrow] than the polycrystal semi-conductor film 1 with a photoresist 109 broader than gate electrode 3c and Even if it makes it be the following instead of performing anisotropic etching to an insulator layer 108, the insulator layer 8 of a predetermined pattern can be formed.

[0050] That is, as shown in drawing 9 (b), isotropic etching, such as wet etching, may be performed to an insulator layer 108, and after performing exposure of a photoresist 109, and development so that a photoresist 109 may serve as a narrow predetermined pattern from the same width of face as gate electrode 3c, or gate electrode 3c as shown in drawing 9 (a), as shown in drawing 9 (c), you may exfoliate a photoresist 109. Thus, since an insulator layer 108 can be made to remain also to the field outside a photoresist 109 after etching of an insulator layer 108 in performing isotropic etching, such as wet etching, to an insulator layer 108 even if it carries out patterning of the photoresist 109 to narrow from the same width of face as gate electrode 3c, or gate electrode 3c, the insulator layer 8 of a pattern more nearly predetermined [narrow] than the polycrystal semi-conductor film 1 broader than gate electrode 3c can be formed.

[0051] As explained above, by the manufacture approach of TFT of this operation gestalt After forming low-concentration source field 1x and drain field 1y in the polycrystal semi-conductor film 1, On substrate body 10A in which gate electrode 3c was formed, form the insulator layer 8 of a pattern more nearly predetermined [narrow] than the polycrystal semi-conductor film 1 broader than gate electrode 3c, and this insulator layer 8 is used as a mask. Since the configuration which pours a high-concentration impurity into the polycrystal semi-conductor film 1 is adopted In source field 1x and drain field 1y, the die length of the part formed respectively more broadly than gate electrode 3c of the insulator layer 8 formed in the predetermined pattern is equivalent to LDD length, and can control LDD length with a sufficient precision.

[0052] Moreover, although considered as the configuration which controls patterning of an insulator layer 108 by the manufacture approach of TFT of this operation gestalt by forming the photoresist 109 of a predetermined pattern on an insulator layer 108, and etching an insulator layer 108 by using this photoresist 109 as a mask In case patterning of the photoresist 109 formed on the insulator layer 108 is carried out, the rear-face exposure which exposes a photoresist 109 by using gate electrode 3c as a mask from the rear-face side (a gate electrode and opposite side) of substrate body 10A is adopted.

[0053] Therefore, when forming taper-like gate electrode 3c, patterning of an insulator layer 108 can completely be controlled similarly. Namely, as shown in drawing 10 (a), even if it forms taper-like gate electrode 3c Like this operation gestalt the whole surface on substrate body 10A in which gate electrode 3c was formed If rear-face exposure is performed applying the photoresist 109 of a positive type on it further, and using [form an insulator layer 108,] exposure conditions as the same to a photoresist 109 The exposure field of a photoresist 109 is prescribed by only the configuration of the inferior surface of tongue (field by the side of gate dielectric film) of gate electrode 3c. Therefore, after exposure of a photoresist 109, if development is performed, as shown in drawing 10 (b), a photoresist 109 can be formed in a predetermined pattern regardless of the side-face configurations (taper angle of a gate electrode etc.) of gate electrode 3c.

[0054] Thus, since according to the manufacture approach of TFT of this operation gestalt gestalt the exposure field of a photoresist 109 can be controlled and patterning of a photoresist 109 and an insulator layer 108 can be controlled with a sufficient precision regardless of the side-face configurations (taper angle of a gate electrode etc.) of gate electrode 3c, LDD length is controllable with a sufficient precision irrespective of the side-face configuration of gate electrode 3c. Moreover, the manufacture approach of TFT of this operation gestalt is especially effective to TFT which has the gate electrode of the shape of a taper which cannot form a sidewall and cannot control LDD length by the Prior art which adopted etchback.

[0055] Moreover, by controlling the thickness of an insulator layer 108, the exposure conditions of a photoresist 109, development conditions, the etching conditions of an insulator layer 108, etc., patterning of an insulator layer 108 can be controlled by the manufacture approach of TFT of this operation gestalt, and LDD length can be controlled by it by this. namely, by the manufacture approach of TFT of this operation gestalt Since it is considering as the configuration which controls LDD length according to two or more conditions, such as thickness of an insulator layer 108, exposure conditions of a photoresist 109, development conditions, and etching conditions of an insulator layer 108 LDD length can be controlled only by thickness of an insulator layer, and, unlike the thickness of an insulator layer, and the Prior art in semiconductor devices, such as becoming IC which spreads abbreviation etc., LDD length can realize the LDD length

more than the thickness of an insulator layer.

[0056] Even if it follows, for example, sets up LDD length for a long time with about 1 micrometer, simple about 1 micrometer and long LDD length with a sufficient precision can be realized that what is necessary is just to set up the thickness of an insulator layer 108 thinly with about 0.2-0.5 micrometers, without passing through a complicated process, since membrane formation and etching of an insulator layer 108 become easy. Thus, according to the manufacture approach of TFT of this operation gestalt, LDD length is controllable with a sufficient precision irrespective of LDD length.

[0057] Moreover, irrespective of the side-face configuration and LDD length of gate electrode 3c, TFT30 of this operation gestalt manufactured by the above manufacture approach can control LDD length with a sufficient precision, and becomes the thing excellent in engine performance, such as pressure resistance and the current-voltage characteristic.

[0058] As mentioned above, although only the manufacture approach of TFT30 was explained, since the liquid crystal equipment of this operation gestalt can be manufactured like the well-known manufacture approach except making the manufacture process of TFT30 into an above-mentioned thing, it omits explanation about other manufacture processes.

[0059] In addition, in this operation gestalt, although only TFT equipped with the polycrystal semi-conductor film which consists of polycrystalline silicon was explained, this invention is applicable also to TFT equipped with polycrystal semi-conductor film other than silicon. Moreover, it is applicable not only to the polycrystal semi-conductor film but TFT equipped with the amorphous semiconductor film. Moreover, although only TFT of an n channel mold was explained, this invention is applicable also to TFT of a p channel mold. Moreover, although this operation gestalt took up and explained liquid crystal equipment as an electro-optic device, this invention can apply them to any electro-optic devices, if EL equipment, a plasma display, etc. are equipped with TFT.

[0060] The example of [electronic equipment], next electronic equipment equipped with the liquid crystal equipment (electro-optic device) of the above-mentioned operation gestalt of this invention is explained. Drawing 11 (a) is the perspective view having shown an example of a cellular phone. In drawing 11 (a), 500 shows the body of a cellular phone and 501 shows the liquid crystal display section equipped with above liquid crystal equipment. Drawing 11 (b) is the perspective view having shown an example of pocket mold information processors, such as a word processor and a personal computer. In drawing 11 (b), the liquid crystal display section which 600 equipped with the information processor and 601 equipped with the input sections, such as a keyboard, and the liquid crystal equipment of the above [603 / an information processing body and 602] is shown. Drawing 11 (c) is the perspective view having shown an example of wrist watch mold electronic equipment. In drawing 11 (c), 700 shows the body of a clock and 701 shows the liquid crystal display section equipped with above liquid crystal equipment. Drawing 11 (a) Since the electronic equipment shown in - (c) is equipped with the liquid crystal equipment of the above-mentioned operation gestalt, it becomes the thing excellent in the engine performance.

[0061]

[Effect of the Invention] As explained in full detail above, according to this invention, the means which can control LDD length with a sufficient precision can be offered irrespective of the side-face configuration and LDD length of a gate electrode.

[Translation done.]

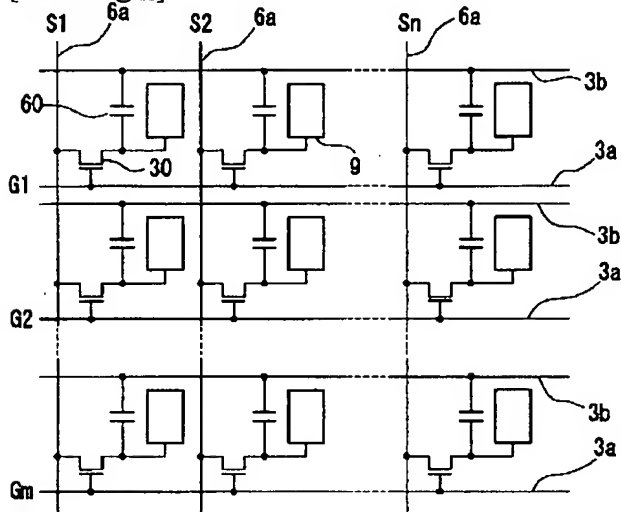
* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

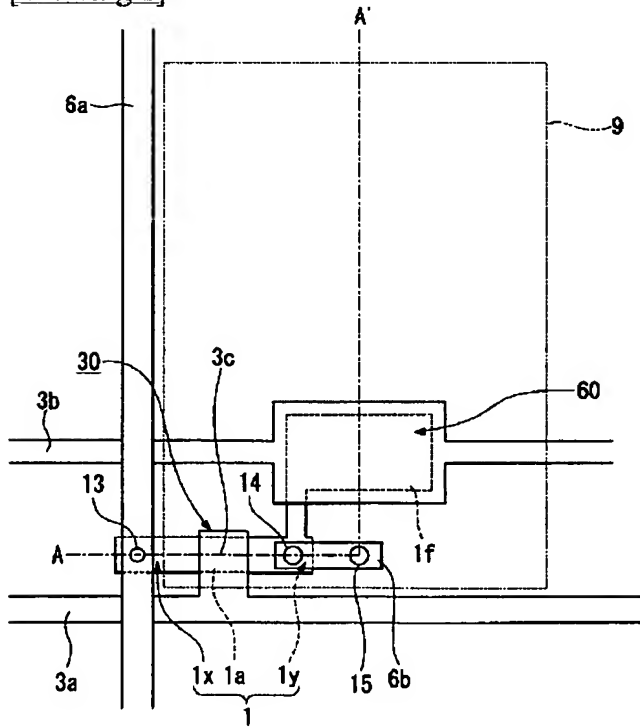
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DRAWINGS

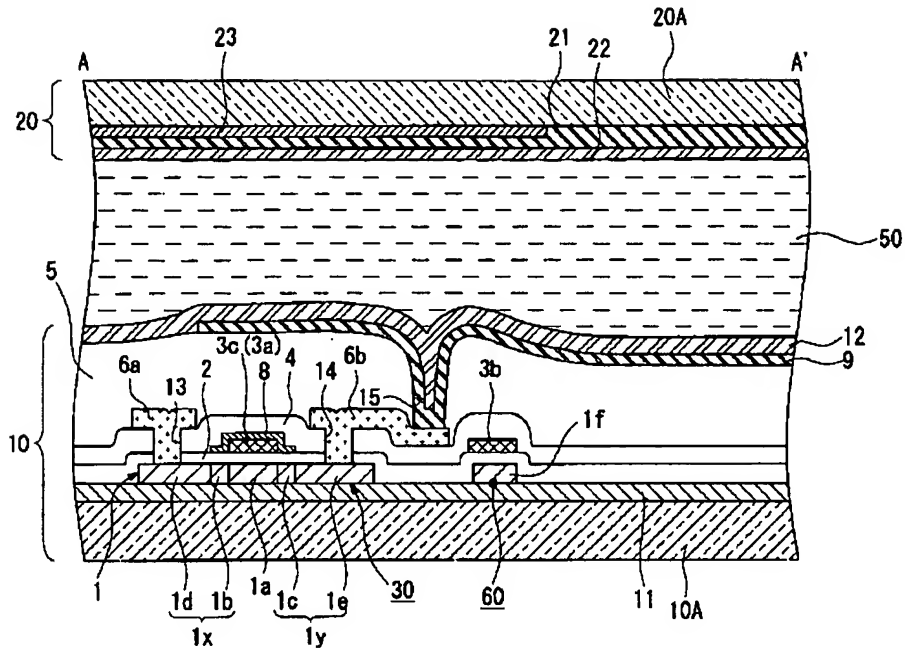
[Drawing 1]



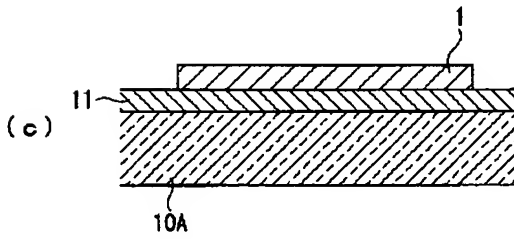
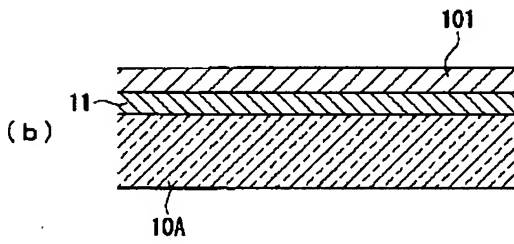
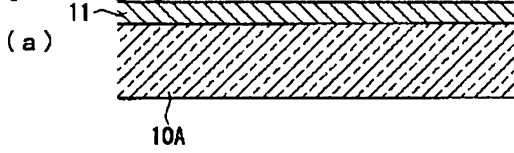
[Drawing 2]



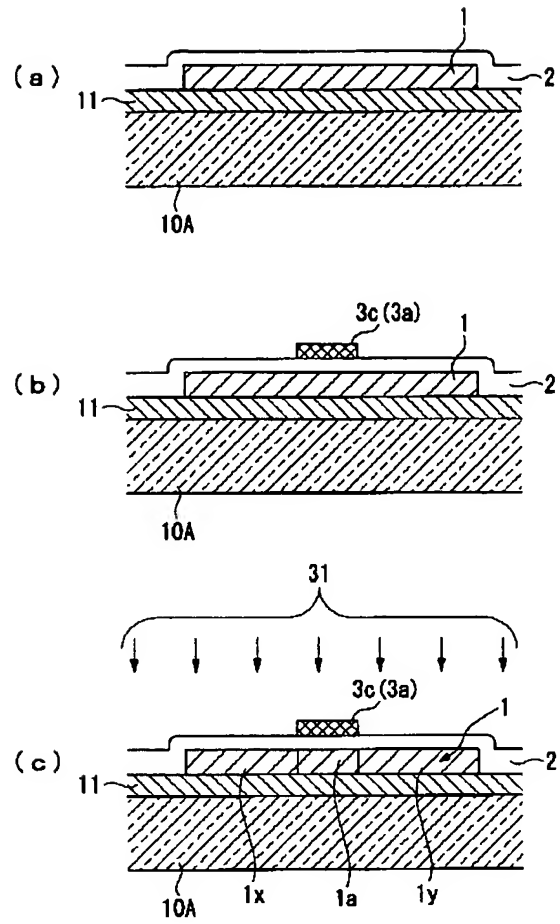
[Drawing 3]



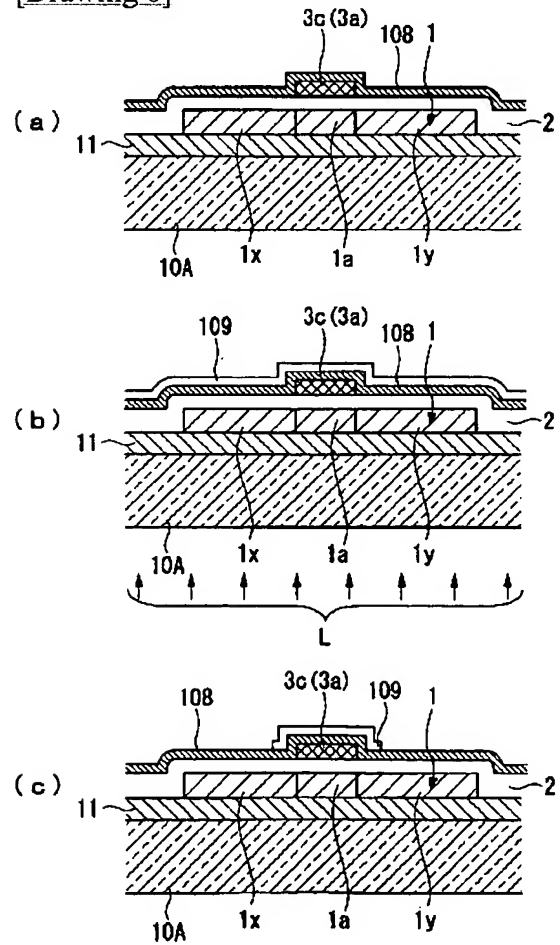
[Drawing 4]



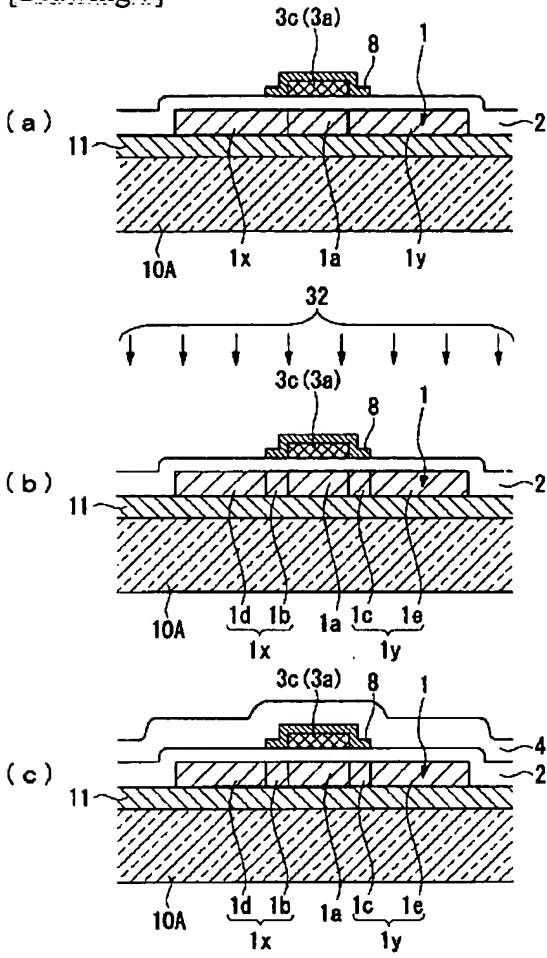
[Drawing 5]



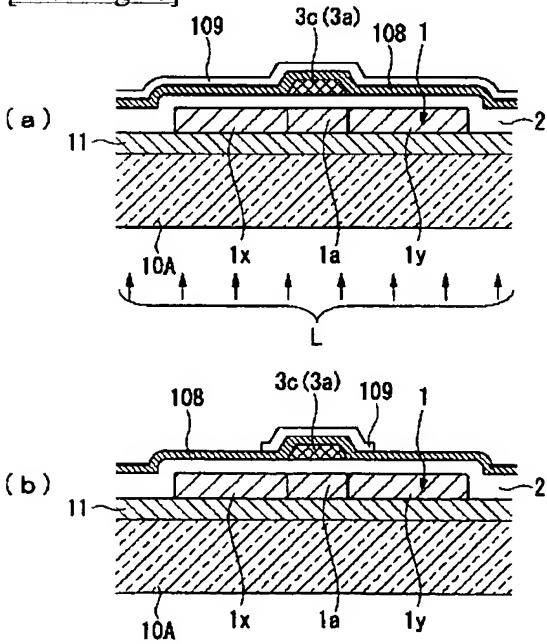
[Drawing 6]



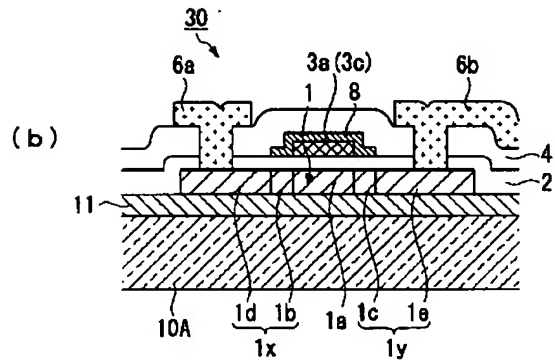
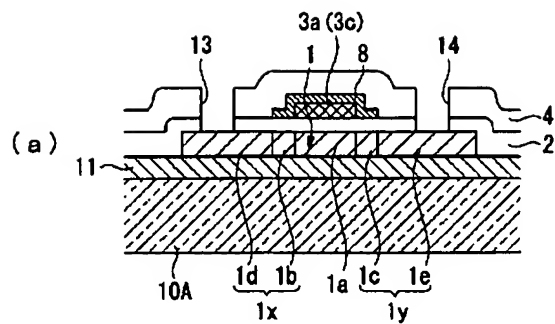
[Drawing 7]



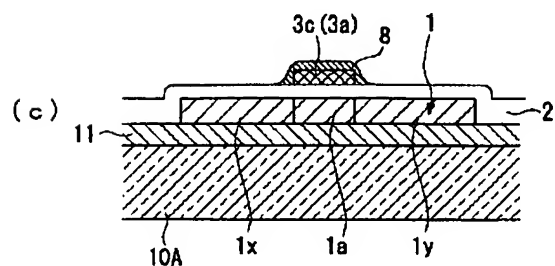
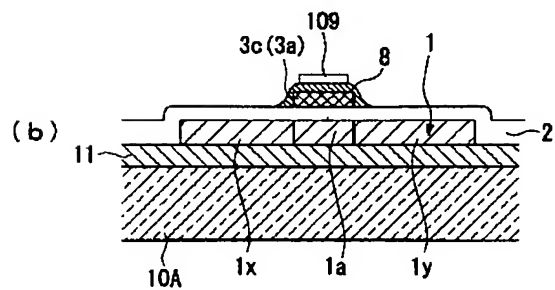
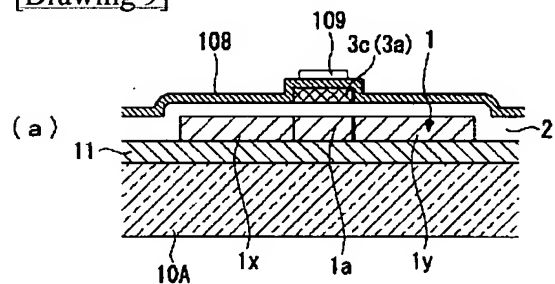
[Drawing 10]



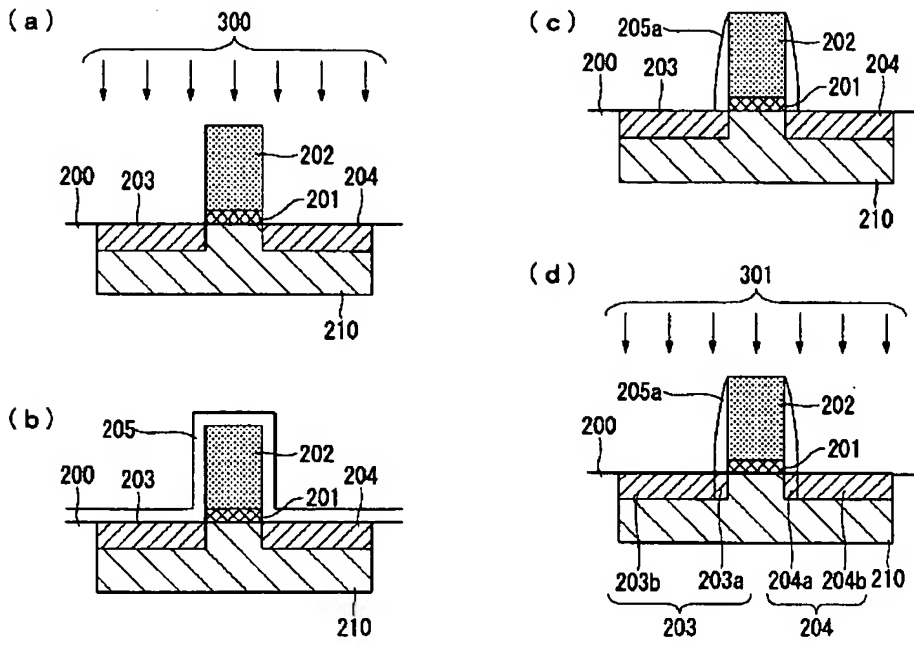
[Drawing 8]



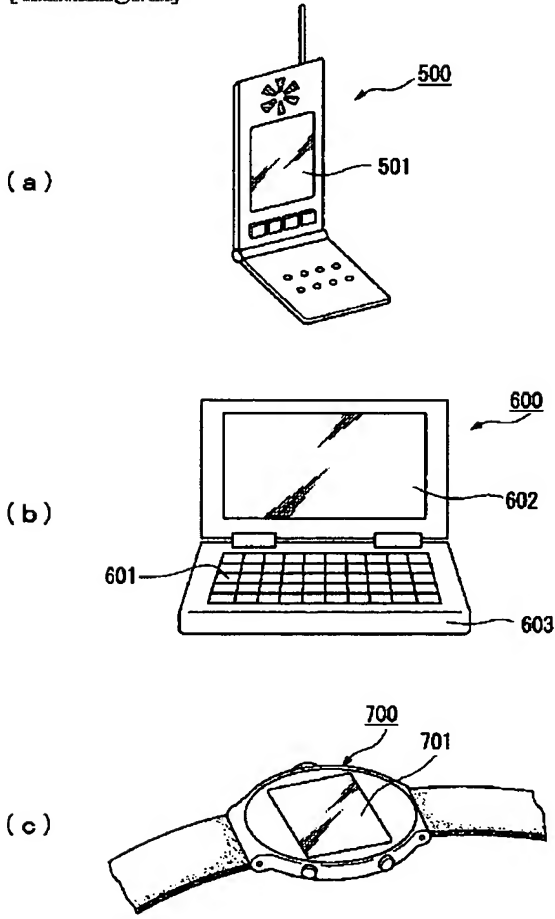
[Drawing 9]



[Drawing 12]



[Drawing 11]



[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-257990

(P2003-257990A)

(43) 公開日 平成15年9月12日 (2003.9.12)

(51) Int.Cl.⁷

識別記号

F I

テーマコード* (参考)

H 0 1 L 21/336

G 0 2 F 1/1368

2 H 0 9 2

G 0 2 F 1/1368

H 0 1 L 29/78

6 1 6 A

5 F 1 1 0

H 0 1 L 29/786

6 1 6 N

審査請求 未請求 請求項の数 8 O L (全 14 頁)

(21) 出願番号 特願2002-57513(P2002-57513)

(22) 出願日 平成14年3月4日 (2002.3.4)

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者 世良 博

長野県諏訪市大和3丁目3番5号 セイコ

ーエプソン株式会社内

(72) 発明者 木下 育昭

長野県諏訪市大和3丁目3番5号 セイコ

ーエプソン株式会社内

(74) 代理人 100089037

弁理士 渡邊 隆 (外2名)

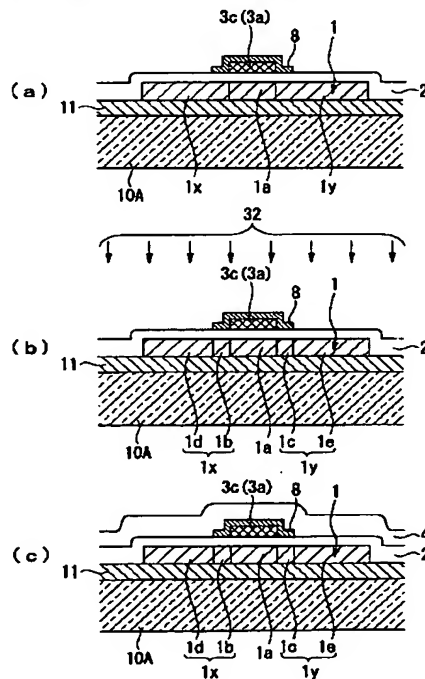
最終頁に続く

(54) 【発明の名称】 薄膜半導体装置の製造方法、薄膜半導体装置、電気光学装置の製造方法、電気光学装置、並びに電子機器

(57) 【要約】

【課題】 ゲート電極の形状やLDD長にかかわらず、LDD長を精度良く制御することが可能な薄膜半導体装置の製造方法を提供する。

【解決手段】 はじめに、透光性基板10A上に、所定のパターンの半導体膜1、ゲート絶縁膜2、遮光性を有するゲート電極3cを順次形成し、ゲート電極3cをマスクとして半導体膜1に低濃度の不純物を注入する。次に、ゲート電極3cを形成した透光性基板10A上に、絶縁膜を形成し、ポジ型のフォトリソistを塗布した後、透光性基板10Aの裏面側からフォトリソistを露光し、フォトリソistの現像、絶縁膜のエッチングを順次行い、ゲート電極3cより幅広でかつ半導体膜1より幅狭の所定のパターンの絶縁膜8を形成する。次に、絶縁膜8をマスクとして、半導体膜1に高濃度の不純物を注入する。



【特許請求の範囲】

【請求項 1】 ソース領域、チャネル領域、ドレイン領域を有する半導体膜と、該半導体膜とゲート絶縁膜を介して対向したゲート電極とを具備すると共に、前記ソース領域と前記ドレイン領域には、各々、不純物濃度が相対的に高い高濃度領域と相対的に低い低濃度領域とが形成された薄膜半導体装置の製造方法において、透光性基板上に、所定のパターンの半導体膜を形成する工程と、

前記半導体膜上に、ゲート絶縁膜を形成する工程と、
前記ゲート絶縁膜上に、遮光性を有するゲート電極を形成する工程と、

前記ゲート電極をマスクとして、前記半導体膜に低濃度の不純物を注入する工程と、

前記ゲート電極を形成した前記透光性基板上に、絶縁膜を形成する工程と、

前記絶縁膜上にポジ型のフォトリソを塗布する工程と、

前記透光性基板の裏面側から前記フォトリソを露光した後、該フォトリソの現像、前記絶縁膜のエッチングを順次行い、前記絶縁膜を前記ゲート電極より幅広でかつ前記半導体膜より幅狭の所定のパターンに形成する工程と、

所定のパターンに形成した前記絶縁膜をマスクとして、前記半導体膜に高濃度の不純物を注入する工程とを有することを特徴とする薄膜半導体装置の製造方法。

【請求項 2】 前記絶縁膜を所定のパターンに形成する工程において、

現像後に前記フォトリソが前記ゲート電極より幅広でかつ前記半導体膜より幅狭の所定のパターンで残存するように、前記フォトリソの露光、現像を行うと共に、前記絶縁膜に対して異方性エッチングを行うことを特徴とする請求項 1 に記載の薄膜半導体装置の製造方法。

【請求項 3】 前記絶縁膜を所定のパターンに形成する工程において、

現像後に前記フォトリソが前記ゲート電極と同一幅若しくは前記ゲート電極より幅狭の所定のパターンで残存するように、前記フォトリソの露光、現像を行うと共に、前記絶縁膜に対して等方性エッチングを行うことを特徴とする請求項 1 に記載の薄膜半導体装置の製造方法。

【請求項 4】 前記ゲート電極がテーパー状であることを特徴とする請求項 1 から請求項 3 までのいずれか 1 項に記載の薄膜半導体装置の製造方法。

【請求項 5】 請求項 1 から請求項 4 までのいずれか 1 項に記載の薄膜半導体装置の製造方法により製造された薄膜半導体装置であって、

少なくとも前記ゲート電極の上面及び側面に沿って、前記絶縁膜が形成されていると共に、前記半導体膜の前記

ソース領域と前記ドレイン領域には、各々、前記絶縁膜の前記ゲート電極より幅広に形成された部分に対応して、前記低濃度領域が形成されていることを特徴とする薄膜半導体装置。

【請求項 6】 ソース領域、チャネル領域、ドレイン領域を有する半導体膜と、該半導体膜とゲート絶縁膜を介して対向したゲート電極とを具備すると共に、前記ソース領域と前記ドレイン領域には、各々、不純物濃度が相対的に高い高濃度領域と相対的に低い低濃度領域とが形成された薄膜半導体装置を備えた電気光学装置の製造方法において、

透光性基板上に、所定のパターンの半導体膜を形成する工程と、

前記半導体膜上に、ゲート絶縁膜を形成する工程と、
前記ゲート絶縁膜上に、遮光性を有するゲート電極を形成する工程と、

前記ゲート電極をマスクとして、前記半導体膜に低濃度の不純物を注入する工程と、

前記ゲート電極を形成した前記透光性基板上に、絶縁膜を形成する工程と、

前記絶縁膜上にポジ型のフォトリソを塗布する工程と、

前記透光性基板の裏面側から前記フォトリソを露光した後、該フォトリソの現像、前記絶縁膜のエッチングを順次行い、前記絶縁膜を前記ゲート電極より幅広でかつ前記半導体膜より幅狭の所定のパターンに形成する工程と、

所定のパターンに形成した前記絶縁膜をマスクとして、前記半導体膜に高濃度の不純物を注入する工程とを有することを特徴とする電気光学装置の製造方法。

【請求項 7】 請求項 6 に記載の電気光学装置の製造方法により製造された電気光学装置であって、少なくとも前記ゲート電極の上面及び側面に沿って、前記絶縁膜が形成されていると共に、前記半導体膜の前記ソース領域と前記ドレイン領域には、各々、前記絶縁膜の前記ゲート電極より幅広に形成された部分に対応して、前記低濃度領域が形成されていることを特徴とする電気光学装置。

【請求項 8】 請求項 7 に記載の電気光学装置を備えたことを特徴とする電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、薄膜半導体装置の製造方法、薄膜半導体装置、電気光学装置の製造方法、電気光学装置、並びに電子機器に係り、特に、LDD (Lightly Doped Drain) 構造の薄膜半導体装置を製造する技術に関するものである。

【0002】

【従来の技術】液晶装置、エレクトロルミネッセンス (EL) 装置、プラズマディスプレイ等の電気光学装置

10

20

30

40

50

として、マトリクス状に配置された多数のドットを、ドット毎に駆動するために、各ドットに薄膜半導体装置である TFT を設けたアクティブマトリクス型の電気光学装置が知られている。また、かかる用途に用いられる TFT として、ソース領域とドレイン領域に、各々、不純物濃度が相対的に高い高濃度領域と相対的に低い低濃度領域（LDD 領域）とが形成された LDD 構造の TFT が知られているが、LDD 構造の TFT では、LDD 長（低濃度領域の形成幅）を精度良く制御することが重要である。

【0003】ここで、IC 等の半導体素子の技術分野では、ゲート電極にサイドウォールを形成することにより、LDD 長を制御する技術が知られている。以下、n チャネル MOS トランジスタを製造する場合を例として、この技術について簡単に説明する。

【0004】はじめに、図 12 (a) に示すように、シリコンウエハ 200 に p ウェル 210 を形成した後、所定のパターンのゲート絶縁膜 201 と金属からなるゲート電極 202 とを順次形成する。次に、ゲート電極 202 をマスクとして、低濃度の n 型不純物イオン 300 を注入し、低濃度のソース領域 203 とドレイン領域 204 を形成する。次に、図 12 (b) に示すように、シリコンウエハ 200 の全面に絶縁膜 205 を形成した後、図 12 (c) に示すように、エッチバックにより、ゲート絶縁膜 201 及びゲート電極 202 の側面にのみ絶縁膜 205 を残し、ゲート絶縁膜 201 及びゲート電極 202 にサイドウォール 205a を形成する。最後に、図 12 (d) に示すように、ゲート電極 202 及びサイドウォール 205a をマスクとして、高濃度の n 型不純物イオン 301 を注入することにより、ソース領域 203、ドレイン領域 204 において、サイドウォール 205a の直下に位置する部分に低濃度領域 203a、204a を残したまま、高濃度領域 203b、204b を形成することができる。

【0005】以上の方法によれば、ゲート絶縁膜 201 及びゲート電極 202 に、シリコンウエハ 200 の全面に形成した絶縁膜 205 の膜厚に略等しい幅のサイドウォール 205a を形成することができ、このサイドウォール 205a の形成幅に略等しい低濃度領域（LDD 領域）203a、204a を形成することができるので、形成する絶縁膜 205 の膜厚により LDD 長を制御することができ、LDD 長を精度良く制御することができる。

【0006】

【発明が解決しようとする課題】しかしながら、以下に詳述するように、IC 等の半導体素子の技術分野における上述の技術を電気光学装置の技術分野に適用することは極めて困難であり、実用化には到っていないのが現状である。

【0007】IC 等の半導体素子では、ゲート電極の側

面がゲート絶縁膜の表面に対して略垂直であるため、エッチバックにより、ゲート電極の側面に絶縁膜を残し、サイドウォールを形成することができる。ここで、IC 等の半導体素子では、ゲート電極の膜厚が 0.3 μm 程度、LDD 長が 0.2 μm 程度のトランジスタを形成すれば良いのに対し、電気光学装置では、ゲート電極の膜厚が 0.3~0.8 μm 程度、LDD 長が 1.0 μm 程度とスケールの大きい TFT を形成する必要があるため、ゲート電極の側面を略垂直形状に加工すること自体

10

難しく、また、ゲート電極の側面を略垂直形状に加工できたとしても、後に形成する層間絶縁膜がゲート電極の側面に形成されにくくなるため、データ線やソース線等の配線が断線する恐れがある。そこで、電気光学装置では一般に、ゲート電極はテーパ状とされ、そのテーパ角は 30~70° 程度となっている。

【0008】そして、このように、テーパ状のゲート電極を形成した場合、ゲート電極を形成した基板上の全面に絶縁膜を形成し、エッチバックをかけても、絶縁膜がすべてエッチングされて残らないため、サイドウォールを形成することができない。また、仮に、ゲート電極の側面を略垂直形状に加工できたとしても、IC 等の半導体素子における従来の技術では、形成する絶縁膜の膜厚が LDD 長に略等しくなるため、1 μm 程度の LDD 長を実現するためには、1 μm 程度の膜厚の絶縁膜を形成する必要がある。しかしながら、1 μm 程度と厚い絶縁膜を均一に成膜することや、そのように厚い絶縁膜を精度良くエッチングすることは極めて困難であり、所望の形状のサイドウォールを精度良く形成することは極めて難しい。

20

30

【0009】そこで、本発明はかかる事情に鑑みてなされたものであり、ゲート電極の側面形状や LDD 長にかかわらず、LDD 長を精度良く制御することが可能な手段を提供することを目的とする。

【0010】

【課題を解決するための手段】本発明の薄膜半導体装置の製造方法は、ソース領域、チャネル領域、ドレイン領域を有する半導体膜と、該半導体膜とゲート絶縁膜を介して対向したゲート電極とを具備すると共に、前記ソース領域と前記ドレイン領域には、各々、不純物濃度が相対的に高い高濃度領域と相対的に低い低濃度領域とが形成された薄膜半導体装置の製造方法において、透光性基板上に、所定のパターンの半導体膜を形成する工程と、前記半導体膜上に、ゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上に、遮光性を有するゲート電極を形成する工程と、前記ゲート電極をマスクとして、前記半導体膜に低濃度の不純物を注入する工程と、前記ゲート電極を形成した前記透光性基板上に、絶縁膜を形成する工程と、前記絶縁膜上にポジ型のフォトレジストを塗布する工程と、前記透光性基板の裏面側から前記フォトレジストを露光した後、該フォトレジストの現像、前記絶縁

40

50

膜のエッチングを順次行い、前記絶縁膜を前記ゲート電極より幅広でかつ前記半導体膜より幅狭の所定のパターンに形成する工程と、所定のパターンに形成した前記絶縁膜をマスクとして、前記半導体膜に高濃度の不純物を注入する工程とを有することを特徴とする。

【0011】すなわち、本発明の薄膜半導体装置の製造方法では、(1)ゲート電極を形成した後、該ゲート電極をマスクとして、半導体膜に低濃度の不純物を注入することにより、半導体膜に低濃度のソース領域とドレイン領域を形成する構成としている。また、(2)このように半導体膜に低濃度のソース領域とドレイン領域を形成した後、ゲート電極を形成した透光性基板上に絶縁膜を形成し、さらにその上にポジ型のフォトリソを塗布し、該フォトリソの露光、現像を行うことにより、フォトリソを所定のパターンに形成する構成としている。また、(3)所定のパターンに形成したフォトリソをマスクとして、絶縁膜をエッチングすることにより、絶縁膜をゲート電極より幅広でかつ半導体膜より幅狭の所定のパターンに形成する構成としている。そして、(4)所定のパターンに形成した絶縁膜をマスクとして、半導体膜に高濃度の不純物を注入することにより、ソース領域とドレイン領域において、各々、絶縁膜の直下に位置する部分に低濃度領域を残したまま、絶縁膜の直下に位置しない部分に高濃度領域を形成することを特徴としている。

【0012】このように、本発明の薄膜半導体装置の製造方法では、半導体膜に低濃度のソース領域とドレイン領域を形成した後、ゲート電極を形成した透光性基板上に、ゲート電極より幅広でかつ半導体膜より幅狭の所定のパターンの絶縁膜を形成し、該絶縁膜をマスクとして、半導体膜に高濃度の不純物を注入する構成を採用しているため、ソース領域とドレイン領域において、各々、所定のパターンに形成した絶縁膜のゲート電極より幅広に形成された部分の長さがLDD長に相当し、LDD長を精度良く制御することができる。

【0013】また、本発明の薄膜半導体装置の製造方法では、絶縁膜上に所定のパターンのフォトリソを形成し、該フォトリソをマスクとして絶縁膜をエッチングすることにより、絶縁膜のパターニングを制御する構成としているが、(5)絶縁膜上に形成したフォトリソをパターニングする際に、ゲート電極をマスクとして、透光性基板の裏面側(ゲート電極と反対側)からフォトリソの露光を行う裏面露光を採用しているため、露光条件を同一とすれば、フォトリソの露光領域は、ゲート電極の下面(半導体膜側の面)の形状のみにより規定されることになる。このように、本発明の薄膜半導体装置の製造方法によれば、ゲート電極の側面形状(ゲート電極のテーパ角等)に関係なく、フォトリソの露光領域を制御することができ、フォトリソ及び絶縁膜のパターニングを精度良く制御することが

できるので、ゲート電極の側面形状にかかわらず、LDD長を精度良く制御することができる。

【0014】また、本発明の薄膜半導体装置の製造方法では、絶縁膜の膜厚、絶縁膜上に形成するフォトリソの露光条件、現像条件、絶縁膜のエッチング条件等を制御することにより、絶縁膜のパターニングを制御し、これによってLDD長を制御することができる。すなわち、本発明の薄膜半導体装置の製造方法では、絶縁膜の膜厚、絶縁膜上に形成するフォトリソの露光条件、現像条件、絶縁膜のエッチング条件等の複数の条件により、LDD長を制御することができるので、絶縁膜の膜厚によってのみLDD長を制御し、LDD長が絶縁膜の膜厚と略等しくなるIC等の半導体素子における従来の技術と異なり、絶縁膜の膜厚以上のLDD長を実現することができる。したがって、例えば、LDD長を1μm程度と長く設定しても、絶縁膜の膜厚は0.2~0.5μm程度と薄く設定すれば良く、絶縁膜の成膜やエッチングが容易になるので、複雑なプロセスを経ることなく、簡易にかつ精度良く1μm程度と長いLDD長を実現することができる。このように、本発明の薄膜半導体装置の製造方法によれば、LDD長にかかわらず、LDD長を精度良く制御することができる。

【0015】本発明の薄膜半導体装置の製造方法では、絶縁膜をゲート電極より幅広でかつ半導体膜より幅狭の所定のパターンに形成することにより、LDD長を制御することを述べたが、絶縁膜をゲート電極より幅広でかつ半導体膜より幅狭の所定のパターンの絶縁膜を形成するには、例えば、前記絶縁膜を所定のパターンに形成する工程において、現像後に前記フォトリソが前記ゲート電極より幅広でかつ前記半導体膜より幅狭の所定のパターンで残存するように、前記フォトリソの露光、現像を行うと共に、前記絶縁膜に対して異方性エッチングを行えば良い。

【0016】また、前記絶縁膜を所定のパターンに形成する工程において、現像後に前記フォトリソが前記ゲート電極と同一幅若しくは前記ゲート電極より幅狭の所定のパターンで残存するように、前記フォトリソの露光、現像を行うと共に、前記絶縁膜に対して等方性エッチングを行うことによっても、絶縁膜をゲート電極より幅広でかつ半導体膜より幅狭の所定のパターンの絶縁膜を形成することができる。

【0017】以上の本発明の薄膜半導体装置の製造方法は、エッチバックを採用した従来の技術ではサイドウォールを形成することができず、LDD長を制御することができない、テーパ状のゲート電極を有する薄膜半導体装置に対して、特に有効である。なお、本明細書において、フォトリソや絶縁膜の「幅」とは、LDD長方向の長さを意味しているものとする。

【0018】本発明の薄膜半導体装置は、以上の本発明の薄膜半導体装置の製造方法により製造された薄膜半導

体装置であって、少なくとも前記ゲート電極の上面及び側面に沿って、前記絶縁膜が形成されていると共に、前記半導体膜の前記ソース領域と前記ドレイン領域には、各々、前記絶縁膜の前記ゲート電極より幅広に形成された部分に対応して、前記低濃度領域が形成されていることを特徴とする。本発明の薄膜半導体装置は、本発明の薄膜半導体装置の製造方法により製造されたものであるので、ゲート電極の側面形状やLDD長にかかわらず、LDD長を精度良く制御することができ、耐圧性、電流－電圧特性等の性能に優れたものとなる。

【0019】また、本発明の薄膜半導体装置の製造方法は、IC等の半導体素子に比較してスケールの大きい薄膜半導体装置を形成する必要のある電気光学装置に対して、特に有効である。本発明の電気光学装置の製造方法は、ソース領域、チャネル領域、ドレイン領域を有する半導体膜と、該半導体膜とゲート絶縁膜を介して対向したゲート電極とを具備すると共に、前記ソース領域と前記ドレイン領域には、各々、不純物濃度が相対的に高い高濃度領域と相対的に低い低濃度領域とが形成された薄膜半導体装置を備えた電気光学装置の製造方法において、透光性基板上に、所定のパターンの半導体膜を形成する工程と、前記半導体膜上に、ゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上に、遮光性を有するゲート電極を形成する工程と、前記ゲート電極をマスクとして、前記半導体膜に低濃度の不純物を注入する工程と、前記ゲート電極を形成した前記透光性基板上に、絶縁膜を形成する工程と、前記絶縁膜上にポジ型のフォトリソを塗布する工程と、前記透光性基板の裏面側から前記フォトリソを露光した後、該フォトリソの現像、前記絶縁膜のエッチングを順次行い、前記絶縁膜を前記ゲート電極より幅広でかつ前記半導体膜より幅狭の所定のパターンに形成する工程と、所定のパターンに形成した前記絶縁膜をマスクとして、前記半導体膜に高濃度の不純物を注入する工程とを有することを特徴とする。

【0020】本発明の電気光学装置の製造方法は、上記の本発明の薄膜半導体装置の製造方法を電気光学装置に適用したものであるから、本発明の電気光学装置の製造方法によれば、薄膜半導体装置を製造する際に、ゲート電極の側面形状やLDD長にかかわらず、LDD長を精度良く制御することができる。

【0021】本発明の電気光学装置は、本発明の電気光学装置の製造方法により製造された電気光学装置であって、少なくとも前記ゲート電極の上面及び側面に沿って、前記絶縁膜が形成されていると共に、前記半導体膜の前記ソース領域と前記ドレイン領域には、各々、前記絶縁膜の前記ゲート電極より幅広に形成された部分に対応して、前記低濃度領域が形成されていることを特徴とする。本発明の電気光学装置は、本発明の電気光学装置の製造方法により製造されたものであるので、ゲート電

極の側面形状やLDD長にかかわらず、LDD長を精度良く制御することができ、性能に優れた薄膜半導体装置を備えたものとなる。また、本発明の電気光学装置を備えることにより、性能に優れた電子機器を提供することができる。

【0022】

【発明の実施の形態】次に、本発明に係る実施形態について詳細に説明する。

（電気光学装置の構造）図1～図3に基づいて、本発明に係る実施形態の電気光学装置の構造について説明する。本実施形態では、スイッチング素子としてTFT（薄膜半導体装置）を用いたアクティブマトリクス型の透過型液晶装置を例として説明する。図1は本実施形態の液晶装置の画像表示領域を構成するマトリクス状に配置された複数のドットにおけるスイッチング素子、信号線等の等価回路図、図2はデータ線、走査線、画素電極等が形成されたTFTアレイ基板の1ドットを拡大して示す平面図、図3は本実施形態の液晶装置の構造を示す断面図であって、図2のA-A'線断面図である。なお、図3においては、図示上側が光入射側、図示下側が視認側（観察者側）である場合について図示している。また、各図においては、各層や各部材を図面上で認識可能な程度の大きさとするため、各層や各部材毎に縮尺を異ならせてある。

【0023】本実施形態の液晶装置において、図1に示すように、画像表示領域を構成するマトリクス状に配置された複数のドットには、画素電極9と当該画素電極9を制御するためのスイッチング素子であるTFT（薄膜半導体装置）30がそれぞれ形成されており、画像信号が供給されるデータ線6aが当該TFT30のソースに電気的に接続されている。データ線6aに書き込む画像信号S1、S2、…、Snは、この順に線順次に供給されるか、あるいは相隣接する複数のデータ線6aに対してグループ毎に供給される。

【0024】また、走査線3aがTFT30のゲートに電気的に接続されており、複数の走査線3aに対して走査信号G1、G2、…、Gmが所定のタイミングでパルス的に線順次で印加される。また、画素電極9はTFT30のドレインに電気的に接続されており、スイッチング素子であるTFT30を一定期間だけオンすることにより、データ線6aから供給される画像信号S1、S2、…、Snを所定のタイミングで書き込む。

【0025】画素電極9を介して液晶に書き込まれた所定レベルの画像信号S1、S2、…、Snは、後述する共通電極との間で一定期間保持される。液晶は、印加される電圧レベルにより分子集合の配向や秩序が変化することにより、光を変調し、階調表示を可能にする。ここで、保持された画像信号がリークすることを防止するために、画素電極9と共通電極との間に形成される液晶容量と並列に蓄積容量60が付加されている。

【0026】図3に示すように、本実施形態の液晶装置は、液晶層50を挟持して対向配置され、TFT30や画素電極9が形成されたTFTアレ基板10と、共通電極21が形成された対向基板20とを具備して概略構成されている。

【0027】以下、図2に基づいて、TFTアレ基板10の平面構造について説明する。TFTアレ基板10には、矩形状の画素電極9が複数、マトリクス状に設けられており、図2に示すように、各画素電極9の縦横の境界に沿って、データ線6a、走査線3a及び容量線3bが設けられている。本実施形態において、各画素電極9及び各画素電極9を囲むように配設されたデータ線6a、走査線3a等が形成された領域が1ドットとなっている。

【0028】データ線6aは、TFT30を構成する多結晶半導体膜1のうちソース領域1xに、コンタクトホール13を介して電氣的に接続されており、画素電極9は、多結晶半導体膜1のうちドレイン領域1yに、コンタクトホール15、ソース線6b、コンタクトホール14を介して電氣的に接続されている。また、走査線3aの一部が、多結晶半導体膜1のうちチャンネル領域1aに対向するように拡幅されており、走査線3aの拡幅された部分が、ゲート電極として機能する。以下、走査線3aにおいて、ゲート電極として機能する部分を単に「ゲート電極」と称し、符号3cで示す。また、TFT30を構成する多結晶半導体膜1は、容量線3bと対向する部分にまで延設されており、この延設部分1fを下電極、容量線3bを上電極とする蓄積容量（蓄積容量素子）60が形成されている。

【0029】次に、図3に基づいて、本実施形態の液晶装置の断面構造について説明する。TFTアレ基板10は、ガラス等の透光性材料からなる基板本体（透光性基板）10Aとその液晶層50側表面に形成された画素電極9、TFT30、配向膜12を主体として構成されており、対向基板20はガラス等の透光性材料からなる基板本体20Aとその液晶層50側表面に形成された共通電極21と配向膜22とを主体として構成されている。

【0030】詳細には、TFTアレ基板10において、基板本体10Aの直上に、シリコン酸化膜等からなる下地保護膜（緩衝膜）11が形成されている。また、基板本体10Aの液晶層50側表面にはインジウム錫酸化物（ITO）等の透明導電性薄膜からなる画素電極9が設けられ、各画素電極9に隣接する位置に、各画素電極9をスイッチング制御する画素スイッチング用TFT30が設けられている。なお、本実施形態では、透過型液晶装置を例としたので、画素電極9はITO等の透明導電性薄膜からなるが、反射型液晶装置では、画素電極9はAl等の金属薄膜からなり、反射半透過型液晶装置では、ITO等の透明導電性薄膜とAl等の金属薄膜の

積層構造からなる。

【0031】下地保護膜11上には、多結晶シリコンからなる多結晶半導体膜1が所定のパターンで形成されており、この多結晶半導体膜1上に、シリコン酸化膜等からなるゲート絶縁膜2が形成され、このゲート絶縁膜2上に、走査線3a（ゲート電極3c）が形成されている。本実施形態では、ゲート電極3cの側面はゲート絶縁膜2の表面に対して略垂直となっている。また、多結晶半導体膜1のうち、ゲート絶縁膜2を介してゲート電極3cと対向する領域が、ゲート電極3cからの電界によりチャンネルが形成されるチャンネル領域1aとなっている。また、多結晶半導体膜1において、チャンネル領域1aの一方側（図示左側）には、ソース領域1xが形成され、他方側（図示右側）にはドレイン領域1yが形成されている。そして、ゲート電極3c、ゲート絶縁膜2、後述するデータ線6a、ソース線6b、多結晶半導体膜1のソース領域1x、チャンネル領域1a、ドレイン領域1y等により、画素スイッチング用TFT30が構成されている。

【0032】本実施形態において、画素スイッチング用TFT30は、LDD構造を有するものとなっており、ソース領域1x及びドレイン領域1yには、各々、不純物濃度が相対的に高い高濃度領域（高濃度ソース領域、高濃度ドレイン領域）と、相対的に低い低濃度領域（LDD領域（低濃度ソース領域、低濃度ドレイン領域））が形成されている。以下、高濃度ソース領域、低濃度ソース領域を、符号1d、1bで表し、高濃度ドレイン領域、低濃度ドレイン領域を、各々、符号1e、1cで表す。

【0033】また、ゲート電極3cを形成したゲート絶縁膜2上には、少なくともゲート電極3cの上面（ゲート絶縁膜と反対側の面）及び側面に沿って、ゲート電極3cより幅広の絶縁膜8が形成されており、ソース領域1xとドレイン領域1yには、各々、絶縁膜8のゲート電極3cより幅広に形成された部分に対応して、低濃度領域（LDD領域）1b、1cが形成されている。絶縁膜8は、シリコン窒化膜やシリコン酸化膜等からなるが、ゲート絶縁膜2とは異なる絶縁性材料により構成されていることが好ましい。

【0034】また、走査線3a（ゲート電極3c）が形成された基板本体10A上には、シリコン酸化膜等からなる第1層間絶縁膜4が形成されており、この第1層間絶縁膜4上に、データ線6a及びソース線6bが形成されている。データ線6aは、第1層間絶縁膜4に形成されたコンタクトホール13を介して、多結晶半導体膜1の高濃度ソース領域1dに電氣的に接続されており、ソース線6bは、第1層間絶縁膜4に形成されたコンタクトホール14を介して、多結晶半導体膜1の高濃度ドレイン領域1eに電氣的に接続されている。

【0035】また、データ線6a、ソース線6bが形成

された第1層間絶縁膜4上には、シリコン窒化膜等からなる第2層間絶縁膜5が形成されており、第2層間絶縁膜5上に、画素電極9が形成されている。画素電極9は、第2層間絶縁膜5に形成されたコンタクトホール15を介して、ソース線6bに電氣的に接続されている。また、多結晶半導体膜1の高濃度ドレイン領域1eからの延設部分1f（下電極）に対して、ゲート絶縁膜2と一体形成された絶縁膜（誘電体膜）を介して、走査線3aと同層に形成された容量線3bが上電極として対向配置されており、これら延設部分1fと容量線3bにより蓄積容量60が形成されている。また、TFTアレ基

【0036】他方、対向基板20においては、基板本体20Aの液晶層50側表面に、液晶装置に入射した光が、少なくとも、多結晶半導体膜1のチャネル領域1a及び低濃度領域1b、1cに入射することを防止するための遮光膜23が形成されている。また、遮光膜23が形成された基板本体20A上には、そのほぼ全面に渡って、ITO等からなる共通電極21が形成され、その液晶層50側には、液晶層50内の液晶分子の配列を制御するための配向膜22が形成されている。

【0037】本実施形態の液晶装置は以上のように構成されており、本実施形態では、TFT30において、少なくともゲート電極3cの上面及び側面に沿って、所定のパターンの絶縁膜8が形成されている点が特徴的なものとなっている。

【0038】（薄膜半導体装置の製造方法）次に、図4～図8に基づいて、本実施形態の液晶装置に備えられたTFT（薄膜半導体装置）30の製造方法について説明する。なお、nチャネル型のTFTを製造する場合を例として説明する。図4～図8はいずれも、本実施形態のTFTの製造方法を工程順に示す概略断面図である。

【0039】はじめに、図4（a）に示すように、基板本体10Aとして、超音波洗浄等により清浄化したガラス基板等の透光性基板を用意した後、基板温度が150～450℃となる条件下で、基板本体10Aの全面に、シリコン酸化膜等からなる下地保護膜（緩衝膜）11をプラズマCVD法等により100～500nmの厚さに成膜する。この工程において用いる原料ガスとしては、モノシランと一酸化二窒素との混合ガスや、TEOS（テトラエトキシシラン、 $\text{Si}(\text{OC}_2\text{H}_5)_4$ ）と酸素、ジシランとアンモニア等が好適である。

【0040】次に、図4（b）に示すように、基板温度が150～450℃となる条件下で、下地保護膜11を形成した基板本体10Aの全面に、非晶質シリコンからなる非晶質半導体膜101をプラズマCVD法等により30～100nmの厚さに成膜する。この工程において用いる原料ガスとしては、ジシランやモノシランが好適

である。次に、図4（c）に示すように、非晶質半導体膜101に対して、レーザーアニールを施すなどして、非晶質半導体膜101を多結晶化し、多結晶シリコンからなる多結晶半導体膜を形成した後、該多結晶半導体膜をフォトリソグラフィ法によりパターニングし、島状の多結晶半導体膜1を形成する。

【0041】次に、図5（a）に示すように、350℃以下の温度条件下で、多結晶半導体膜1を形成した基板本体10A上に、シリコン酸化膜、シリコン窒化膜等からなるゲート絶縁膜2を30～150nmの厚さに成膜する。この工程において用いる原料ガスとしては、TEOSと酸素ガスとの混合ガス等が好適である。次に、図5（b）に示すように、ゲート絶縁膜2を形成した基板本体10Aの全面に、スパッタリング法等により、アルミニウム、タンタル、モリブデン等、又はこれらのいずれかを主成分とする合金等からなる遮光性を有する導電膜を成膜した後、フォトリソグラフィ法によりパターニングし、100～800nmの厚さの走査線3a（ゲート電極3c）を形成する。

【0042】次に、図5（c）に示すように、ゲート電極3cをマスクとして、約 0.1×10^{13} ～約 $10 \times 10^{13}/\text{cm}^2$ のドーズ量で低濃度の不純物イオン（リンイオン）31を注入し、ゲート電極3cに対して自己整合的に低濃度のソース領域1xとドレイン領域1yを形成する。この時、ゲート電極3cの直下に位置し、不純物イオンが導入されなかった部分はチャネル領域1aとなる。

【0043】次に、図6（a）に示すように、ゲート電極3cを形成した基板本体10A上の全面に、CVD法等により、シリコン窒化膜、シリコン酸化膜等からなる絶縁膜108を200～500nmの厚さに成膜する。この工程において、ゲート絶縁膜2とは異なる絶縁性材料からなる絶縁膜108を形成することが好ましい。次に、図6（b）に示すように、絶縁膜108上に、ポジ型のフォトレジスト109を塗布した後、ゲート電極3cをマスクとして、基板本体10Aの裏面側（ゲート電極と反対側）から光Lを照射し、フォトレジスト109を露光した後、図6（c）に示すように、フォトレジスト109を現像することにより、フォトレジスト109を、ゲート電極3cより幅広でかつ多結晶半導体膜1より幅狭の所定のパターンに形成する。

【0044】なお、露光条件（露光量等）や現像条件（現像時間、現像方法等）を制御することにより、露光時にマスクとして機能させるゲート電極3cより幅広のフォトレジスト109を現像後に残存させることができる。例えば、アンダー露光又はオーバー現像となるように、露光、現像を行えば良い。ここで、「アンダー露光」とは、露光量を下げるなどして、マスクとして機能させるゲート電極3cと同一幅で露光するジャスト露光より、狭い範囲の露光を行うことを言う。また、「オー

「バー現像」とは、現像時間を長くするなどして、露光領域と同一幅のフォトリソレジストを残存させるジャスト現像より、狭い範囲のフォトリソレジストを残存させる現像のことを言う。

【0045】次に、図7(a)に示すように、所定のパターンに形成したフォトリソレジスト109をマスクとして、絶縁膜108に対して、ドライエッチング等の異方性エッチングを行った後、フォトリソレジスト109を剥離することにより、図3に示した所定のパターンの絶縁膜8、すなわち、少なくともゲート電極3cの上面及び側面に沿って形成され、ゲート電極3cより幅広でかつ多結晶半導体膜1より幅狭の所定のパターンの絶縁膜8を形成することができる。なお、異方性エッチングを行った場合、図示するように、所定のパターンに形成したフォトリソレジスト109と略同一幅の絶縁膜8を形成することができる。また、絶縁膜8をゲート絶縁膜2と異なる材料により構成した場合には、絶縁膜8のエッチングの終点が明確となり、オーバーエッチングする恐れがないため、好適である。

【0046】次に、図7(b)に示すように、所定のパターンに形成した絶縁膜8をマスクとして、多結晶半導体膜1に対して、高濃度の不純物イオン（リンイオン）32を約 0.1×10^{15} 〜約 $1.0 \times 10^{15} / \text{cm}^2$ のドーズ量で注入する。これによって、ソース領域1xとドレイン領域1yにおいて、各々、絶縁膜8の直下に位置する部分に低濃度領域1b、1cを残したまま、高濃度領域1d、1eを形成することができる。すなわち、ソース領域1xとドレイン領域1yにおいて、各々、所定のパターンに形成した絶縁膜8のゲート電極3cより幅広に形成された部分の長さに略等しいLDD長を有する低濃度領域（LDD領域）1b、1cを自己整合的に形成することができる。

【0047】次に、図7(c)に示すように、絶縁膜8を形成した基板本体10A上の全面に、CVD法等により、シリコン酸化膜等からなる第1層間絶縁膜4を300〜800nmの厚さに成膜する。この工程において用いる原料ガスとしては、TEOSと酸素ガスとの混合ガス等が好適である。次に、レーザーアニール、炉アニール等によりアニールを行うことにより、ソース領域1x（高濃度ソース領域1d、低濃度ソース領域1b）及びドレイン領域1y（高濃度ドレイン領域1e、低濃度ドレイン領域1c）に注入された不純物の活性化を行う。

【0048】次に、図8(a)に示すように、所定のパターンのフォトリソレジスト（図示略）を形成した後、該レジストをマスクとして第1層間絶縁膜4のドライエッチングを行い、第1層間絶縁膜4において高濃度ソース領域1d及び高濃度ドレイン領域1eに対応する部分にコンタクトホール13、14をそれぞれ形成する。最後に、図8(b)に示すように、第1層間絶縁膜4の全面に、アルミニウム、チタン、窒化チタン、タンタル、モ

リブデン等、又はこれらのいずれかを主成分とする合金等からなる金属膜を、スパッタリング法等により成膜した後、フォトリソグラフィ法によりパターンニングし、400〜800nmの厚さのデータ線6a及びソース線6bを形成し、nチャネル型のTFT30を製造することができる。

【0049】なお、ゲート電極3cより幅広でかつ多結晶半導体膜1より幅狭の所定のパターンに形成する際に、現像後にフォトリソレジスト109がゲート電極3cより幅広でかつ多結晶半導体膜1より幅狭の所定のパターンで残存するように、フォトリソレジスト109の露光、現像を行うと共に、絶縁膜108に対して異方性エッチングを行う代わりに、以下のようにしても、所定のパターンの絶縁膜8を形成することができる。

【0050】すなわち、図9(a)に示すように、フォトリソレジスト109がゲート電極3cと同一幅若しくはゲート電極3cより幅狭の所定のパターンとなるように、フォトリソレジスト109の露光、現像を行った後、図9

(b)に示すように、絶縁膜108に対してウェットエッチング等の等方性エッチングを行い、図9(c)に示すように、フォトリソレジスト109を剥離しても良い。このように、絶縁膜108に対してウェットエッチング等の等方性エッチングを行う場合には、フォトリソレジスト109をゲート電極3cと同一幅若しくはゲート電極3cより幅狭にパターンニングしても、絶縁膜108のエッチング後に、フォトリソレジスト109より外側の領域にも絶縁膜108を残存させることができるので、ゲート電極3cより幅広でかつ多結晶半導体膜1より幅狭の所定のパターンの絶縁膜8を形成することができる。

【0051】以上説明したように、本実施形態のTFTの製造方法では、多結晶半導体膜1に低濃度のソース領域1xとドレイン領域1yを形成した後、ゲート電極3cを形成した基板本体10A上に、ゲート電極3cより幅広でかつ多結晶半導体膜1より幅狭の所定のパターンの絶縁膜8を形成し、該絶縁膜8をマスクとして、多結晶半導体膜1に高濃度の不純物を注入する構成を採用しているため、ソース領域1xとドレイン領域1yにおいて、各々、所定のパターンに形成した絶縁膜8のゲート電極3cより幅広に形成された部分の長さがLDD長に相当し、LDD長を精度良く制御することができる。

【0052】また、本実施形態のTFTの製造方法では、絶縁膜108上に所定のパターンのフォトリソレジスト109を形成し、該フォトリソレジスト109をマスクとして絶縁膜108をエッチングすることにより、絶縁膜108のパターンニングを制御する構成としているが、絶縁膜108上に形成したフォトリソレジスト109をパターンニングする際に、ゲート電極3cをマスクとして基板本体10Aの裏面側（ゲート電極と反対側）からフォトリソレジスト109の露光を行う裏面露光を採用している。

【0053】したがって、テーパー状のゲート電極3c

を形成する場合においても全く同様に、絶縁膜 108 のパターンニングを制御することができる。すなわち、図 10 (a) に示すように、テーパー状のゲート電極 3c を形成しても、本実施形態と同様に、ゲート電極 3c を形成した基板本体 10A 上の全面に、絶縁膜 108 を形成し、さらにその上に、ポジ型のフォトリソ resist 109 を塗布し、フォトリソ resist 109 に対して露光条件を同一として裏面露光を行えば、フォトリソ resist 109 の露光領域は、ゲート電極 3c の下面 (ゲート絶縁膜側の面) の形状のみにより規定される。したがって、フォトリソ resist 109 の露光後、現像を行えば、図 10 (b) に示すように、ゲート電極 3c の側面形状 (ゲート電極のテーパー角等) に関係なく、フォトリソ resist 109 を所定のパターンに形成することができる。

【0054】このように、本実施形態の TFT の製造方法によれば、ゲート電極 3c の側面形状 (ゲート電極のテーパー角等) に関係なく、フォトリソ resist 109 の露光領域を制御することができ、フォトリソ resist 109 及び絶縁膜 108 のパターンニングを精度良く制御することができるので、ゲート電極 3c の側面形状にかかわらず、LDD 長を精度良く制御することができる。また、本実施形態の TFT の製造方法は、エッチバックを採用した従来の技術ではサイドウォールを形成することができず、LDD 長を制御することができない、テーパー状のゲート電極を有する TFT に対して、特に有効である。

【0055】また、本実施形態の TFT の製造方法では、絶縁膜 108 の膜厚、フォトリソ resist 109 の露光条件、現像条件、絶縁膜 108 のエッチング条件等を制御することにより、絶縁膜 108 のパターンニングを制御し、これによって LDD 長を制御することができる。すなわち、本実施形態の TFT の製造方法では、絶縁膜 108 の膜厚、フォトリソ resist 109 の露光条件、現像条件、絶縁膜 108 のエッチング条件等の複数の条件により、LDD 長を制御する構成としているので、絶縁膜の膜厚によってのみ LDD 長を制御し、LDD 長が絶縁膜の膜厚と略等しくなる IC 等の半導体素子における従来の技術と異なり、絶縁膜の膜厚以上の LDD 長を実現することができる。

【0056】したがって、例えば、LDD 長を $1\mu\text{m}$ 程度と長く設定しても、絶縁膜 108 の膜厚は $0.2\sim 0.5\mu\text{m}$ 程度と薄く設定すれば良く、絶縁膜 108 の成膜やエッチングが容易になるので、複雑なプロセスを経ることなく、簡易にかつ精度良く $1\mu\text{m}$ 程度と長い LDD 長を実現することができる。このように、本実施形態の TFT の製造方法によれば、LDD 長にかかわらず、LDD 長を精度良く制御することができる。

【0057】また、以上の製造方法により製造された本実施形態の TFT 30 は、ゲート電極 3c の側面形状や LDD 長にかかわらず、LDD 長を精度良く制御するこ

とができ、耐圧性、電流-電圧特性等の性能に優れたものとなる。

【0058】以上、TFT 30 の製造方法についてのみ説明したが、本実施形態の液晶装置は、TFT 30 の製造プロセスを上述のものとする以外は、公知の製造方法と同様に製造することができるので、その他の製造プロセスについては説明を省略する。

【0059】なお、本実施形態においては、多結晶シリコンからなる多結晶半導体膜を備えた TFT についてのみ説明したが、本発明はシリコン以外の多結晶半導体膜を備えた TFT にも適用可能である。また、多結晶半導体膜に限らず、非晶質半導体膜を備えた TFT にも適用可能である。また、n チャネル型の TFT についてのみ説明したが、本発明は p チャネル型の TFT にも適用可能である。また、本実施形態では、電気光学装置として液晶装置を取り上げて説明したが、本発明は、EL 装置、プラズマディスプレイなど、TFT を備えたものであれば、いかなる電気光学装置にも適用可能である。

【0060】【電子機器】次に、本発明の上記実施形態の液晶装置 (電気光学装置) を備えた電子機器の具体例について説明する。図 11 (a) は、携帯電話の一例を示した斜視図である。図 11 (a) において、500 は携帯電話本体を示し、501 は前記の液晶装置を備えた液晶表示部を示している。図 11 (b) は、ワープロ、パソコンなどの携帯型情報処理装置の一例を示した斜視図である。図 11 (b) において、600 は情報処理装置、601 はキーボードなどの入力部、603 は情報処理本体、602 は前記の液晶装置を備えた液晶表示部を示している。図 11 (c) は、腕時計型電子機器の一例を示した斜視図である。図 11 (c) において、700 は時計本体を示し、701 は前記の液晶装置を備えた液晶表示部を示している。図 11 (a) ~ (c) に示す電子機器は、上記実施形態の液晶装置を備えたものであるため、性能に優れたものとなる。

【0061】

【発明の効果】 以上詳述したように、本発明によれば、ゲート電極の側面形状や LDD 長にかかわらず、LDD 長を精度良く制御することが可能な手段を提供することができる。

【図面の簡単な説明】

【図 1】 図 1 は、本発明に係る実施形態の液晶装置の画像表示領域を構成するマトリクス状に配置された複数のドットにおけるスイッチング素子、信号線等の等価回路図である。

【図 2】 図 2 は、本発明に係る実施形態の液晶装置の TFT アレイ基板の 1 ドットを拡大して示す平面図である。

【図 3】 図 3 は、本発明に係る実施形態の液晶装置の構造を示す断面図である。

【図 4】 図 4 (a) ~ (c) は、本発明に係る実施形

態の薄膜半導体装置の製造方法を示す工程図である。

【図 5】 図 5 (a) ~ (c) は、本発明に係る実施形態の薄膜半導体装置の製造方法を示す工程図である。

【図 6】 図 6 (a) ~ (c) は、本発明に係る実施形態の薄膜半導体装置の製造方法を示す工程図である。

【図 7】 図 7 (a) ~ (c) は、本発明に係る実施形態の薄膜半導体装置の製造方法を示す工程図である。

【図 8】 図 8 (a)、(b) は、本発明に係る実施形態の薄膜半導体装置の製造方法を示す工程図である。

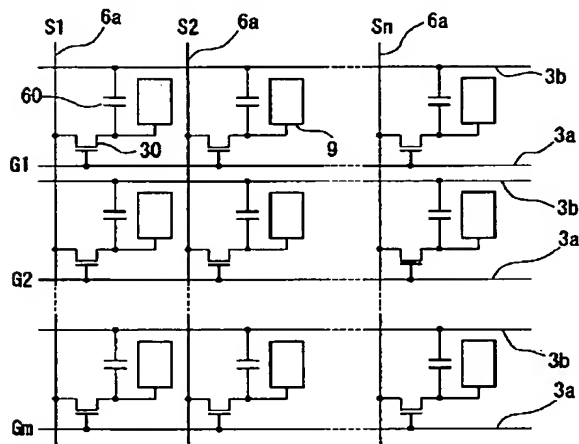
【図 9】 図 9 (a) ~ (c) は、本発明に係るその他の実施形態の薄膜半導体装置の製造方法を示す工程図である。

【図 10】 図 10 (a)、(b) は、本発明に係るその他の実施形態の薄膜半導体装置の製造方法を示す工程図である。

【図 11】 図 11 (a) は、上記実施形態の液晶装置を備えた携帯電話の一例を示す図、図 11 (b) は、上記実施形態の液晶装置を備えた携帯型情報処理装置の一例を示す図、図 11 (c) は、上記実施形態の液晶装置を備えた腕時計型電子機器の一例を示す図である。

【図 12】 図 12 (a) ~ (d) は、IC 等の半導体

【図 1】



素子の技術分野において、LDD長を制御することが可能な従来の技術を説明するための図である。

【符号の説明】

30 TFT (薄膜半導体装置)

10A 基板本体 (透光性基板)

101 非晶質半導体膜

1 多結晶半導体膜

1x ソース領域

1y ドレイン領域

1a チャネル領域

1b 低濃度ソース領域 (LDD領域)

1c 低濃度ドレイン領域 (LDD領域)

1d 高濃度ソース領域

1e 高濃度ドレイン領域

2 ゲート絶縁膜

3a 走査線

3c ゲート電極

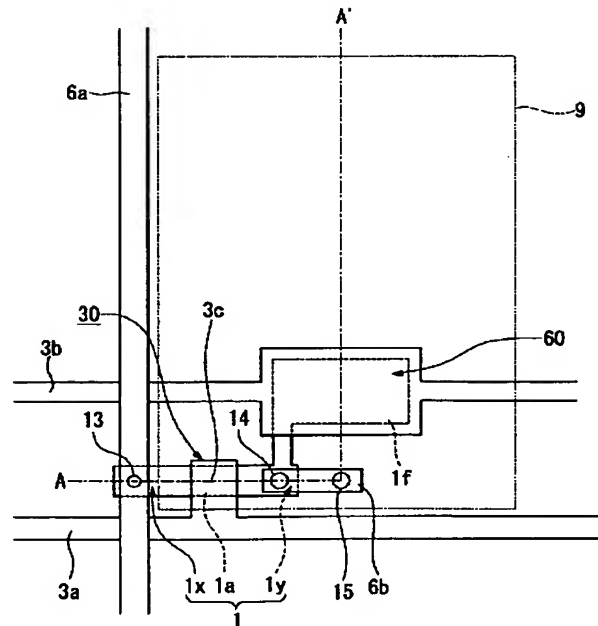
6a データ線

6b ソース線

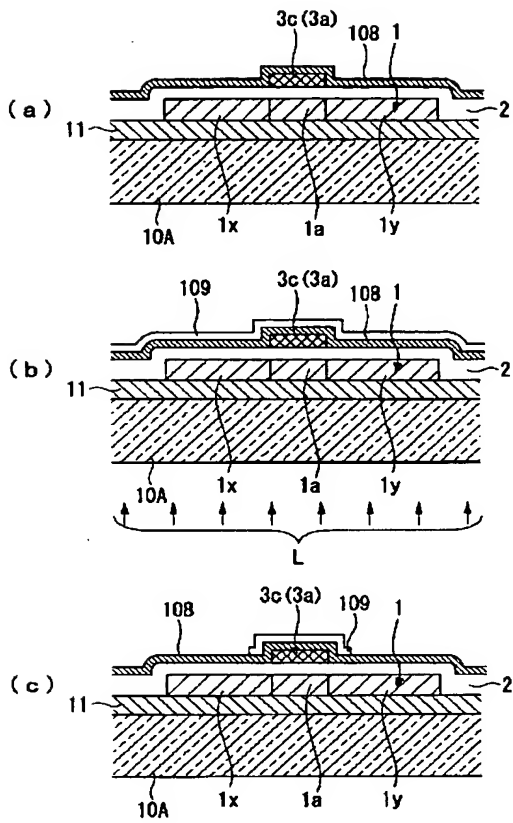
20 8、108 絶縁膜

109 フォトリソグ

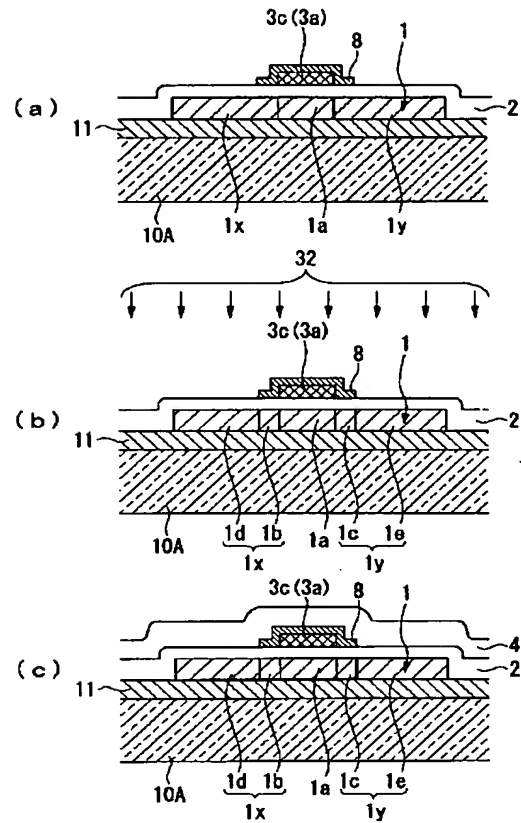
【図 2】



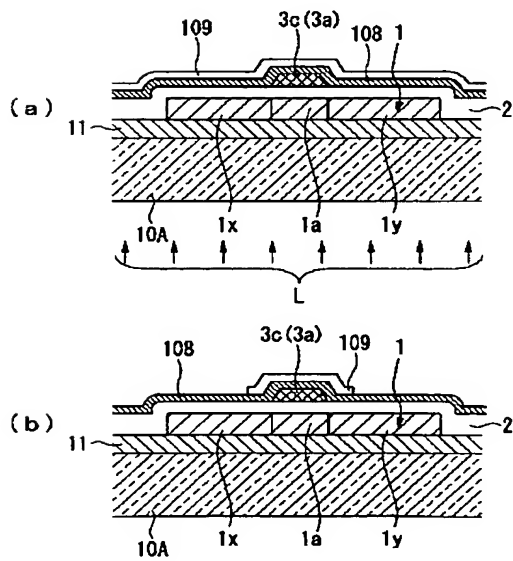
【図 6】



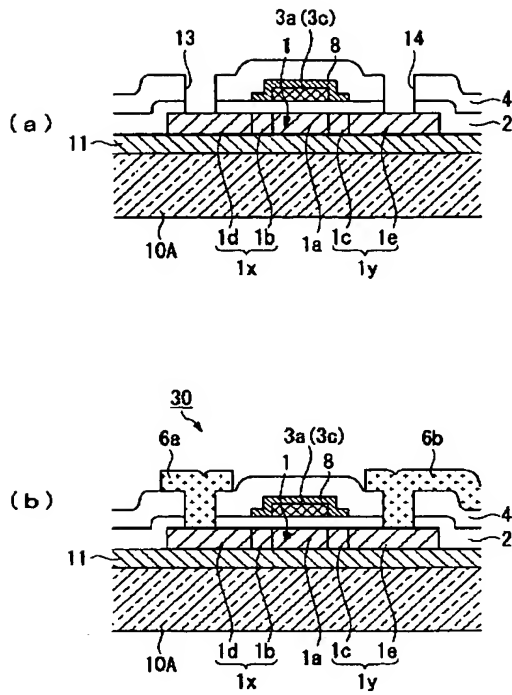
【図 7】



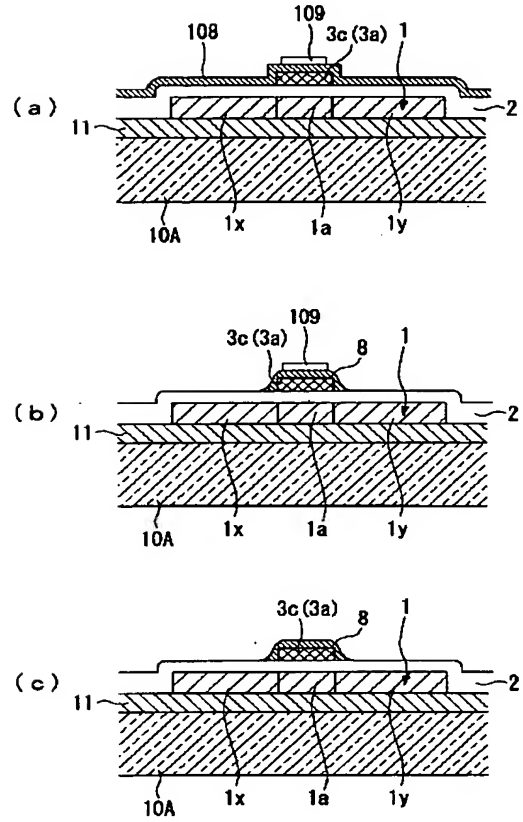
【図 10】



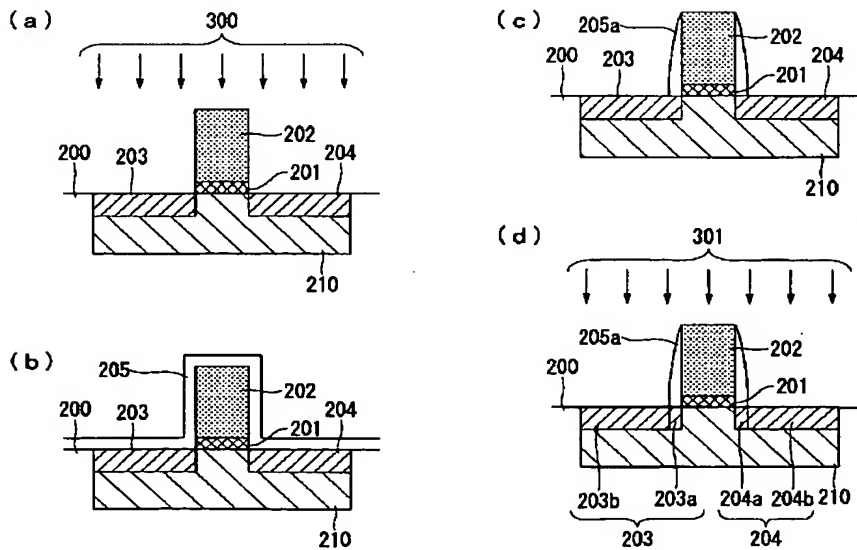
【図 8】



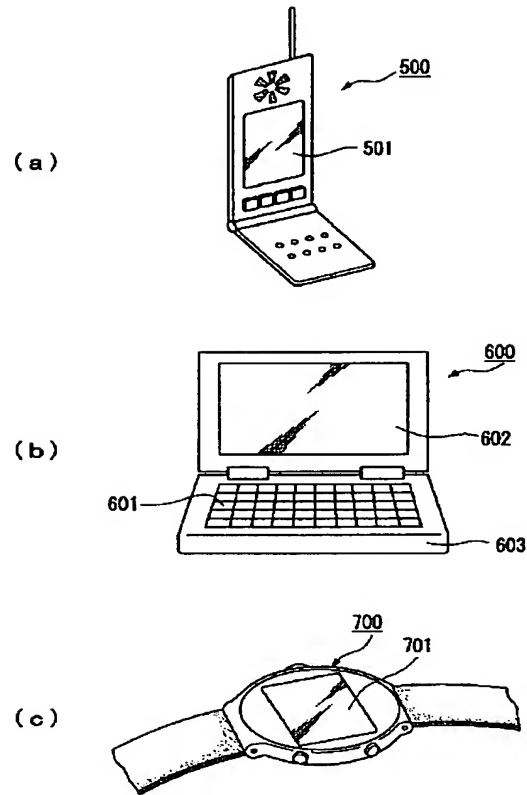
【図 9】



【図 12】



【図11】



フロントページの続き

Fターム(参考) 2H092 GA29 HA02 HA04 JA24 JA34
 JA37 JA41 JA46 JB22 JB31
 JB56 KA04 KA05 KA11 MA03
 MA05 MA07 MA08 MA10 MA12
 MA13 MA15 MA16 MA17 MA28
 NA25 PA01 PA02 PA04 PA06
 PA12
 5F110 AA06 AA16 BB01 CC02 DD02
 DD13 DD25 EE03 EE04 EE06
 EE23 EE32 EE44 FF02 FF03
 FF29 GG02 GG13 GG25 GG45
 HJ01 HJ04 HJ13 HJ23 HL01
 HL03 HL04 HL06 HL23 HM15
 NN03 NN04 NN23 NN24 NN35
 NN73 PP03 QQ11 QQ12